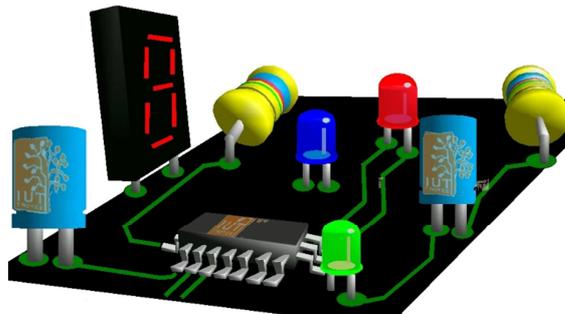


République Algérienne Démocratique et Populaire  
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique  
Centre universitaire d'Ain Témouchent  
Institut des Sciences et de la Technologie

# Logique Combinatoire et Séquentielle

Travaux Pratiques



3ème année Génie électrique & Génie Biomédical

**AuteurS :**

**Dr AYACHE (née SAYAH) Choukria**

**Maitre de conférences classe A**

**&**

**Dr SOLTANE Shakra**

**Maitre de conférences classe B**

# PREFACE

Ce fascicule des travaux pratiques d'électronique est à l'intention des étudiants de troisième année de *l'Institut des Sciences et de la Technologie*. Le fascicule comporte 6 TP réparties comme suit :

**TP 1 : Portes logiques**

**TP 2 : Simplification des fonctions logiques**

**TP 3 : Décodeurs BCD/7 Segments**

**TP 4 : Comparateur**

**TP 5 : Additionneur complet**

**TP 6 : Les bascules**

**TP 7 : Les compteurs**

## **Annexes**

**Annexe I** - Brochage Circuits Intégrés TTL.

**Annexe II** - Compléments Circuits Intégrés

Ce fascicule est conçu dans le but de servir en tant que document ressources pour le professeur et guide personnel pour l'étudiant qui lui permet de découvrir ou de vérifier certains concepts ou méthodes de résolution. Tout au long de ce manuel, nous avons cherché la simplicité et la faisabilité. Les activités proposées sont réalisables en autonomie relative par l'étudiant lui-même. Le rôle de l'enseignant se limite à l'accompagnement. Les résultats des travaux de l'étudiant ont pour but de lui faciliter la découverte, l'appropriation et la validation des concepts nouveaux. L'auteur de cet ouvrage reste à l'écoute de toutes les remarques et les suggestions des utilisateurs de ce manuel, dans le but d'apporter les améliorations et les corrections requises dans les éditions futures.

## *Quelques conseils ...*

---

### **La préparation du TP**

La préparation du TP est importante. Vous devez, avant de venir en TP, avoir préparé votre travail, c'est à dire avoir rédigé la partie théorique du TP. De plus, la préparation est individuelle et ne doit pas se faire en prenant exemple sur le travail d'un collègue.

### **La mise au point du montage**

Pour éviter les erreurs de câblage, il est très important de dessiner le montage en indiquant les numéros de broches. D'ailleurs, la notation prendra en compte ce point. Une autre panne courante est d'avoir un ou des circuits non alimentés. C'est à dire, le 5 volts ou la masse ne sont pas connectés aux circuits. Votre comportement en TP, c'est à dire votre autonomie, la façon dont vous résolvez les problèmes, votre efficacité est prise en compte dans la note.

### **Le compte-rendu**

Le compte-rendu doit comporter pour chaque exercice :

- ✚ Une partie théorique,
- ✚ Un ou des schémas avec des symboles normalisés et le brochage.
- ✚ Une analyse des résultats obtenus.
- ✚ Enfin, la présentation en elle-même de tout travail est importante.

# Electronics WorkBench

## 1. Electronics WorkBench :

**Electronics WorkBench** est un logiciel capable de simuler circuits digitaux ou électroniques à travers un laboratoire virtuel composé par divers panneaux où ils s'offrent des instruments pour la création de dispositifs électroniques (**Figure 1**). Est aussi une entreprise dans la ville canadien de Toronto, en Ontario, qu'a été celle qui il a produit ce logiciel pour la première fois. L'entreprise a été créée avec le nom de *Interactive Image Technologies* par Joe Koenig et s'est spécialisé dans la production de films éducatifs et documentaires. Lorsque le gouvernement d'Ontario a exprimé le besoin d'un outil éducatif pour l'enseignement de l'électronique dans les instituts, la compagnie a créé un simulateur **Electronics WorkBench**.

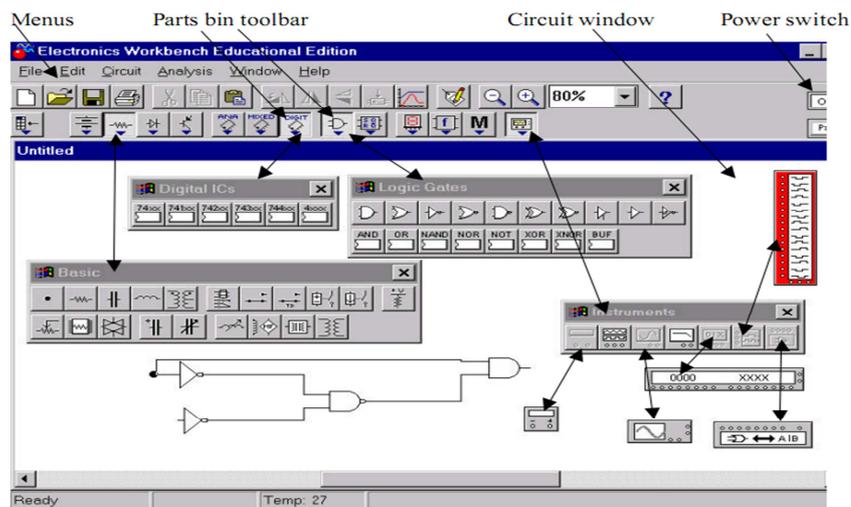


Figure 1

## 2. Démarrage du Workbench :

Cliquer sur l'icône **Electronics Workbench** à partir du raccourci qui se trouve sur le bureau (**Figure 2**) pour lancer le logiciel **WORKBENCH**.

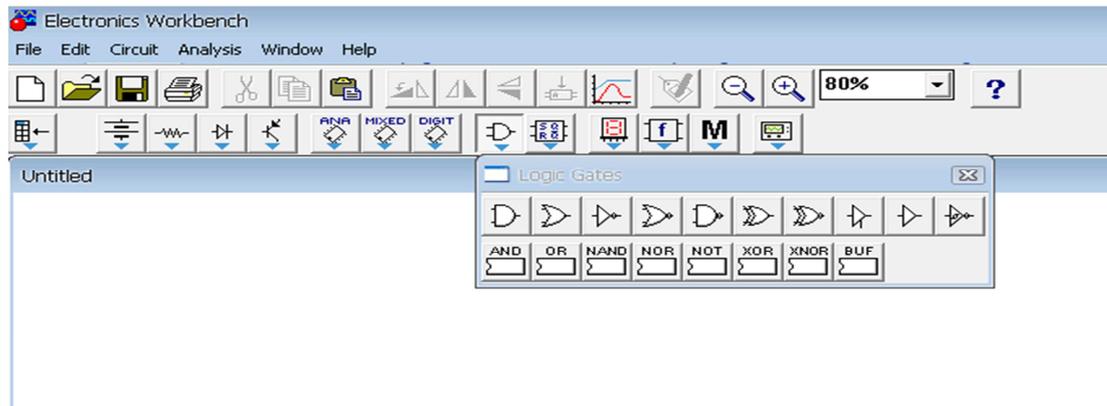


Figure 2

### 3. Saisie du Schéma :

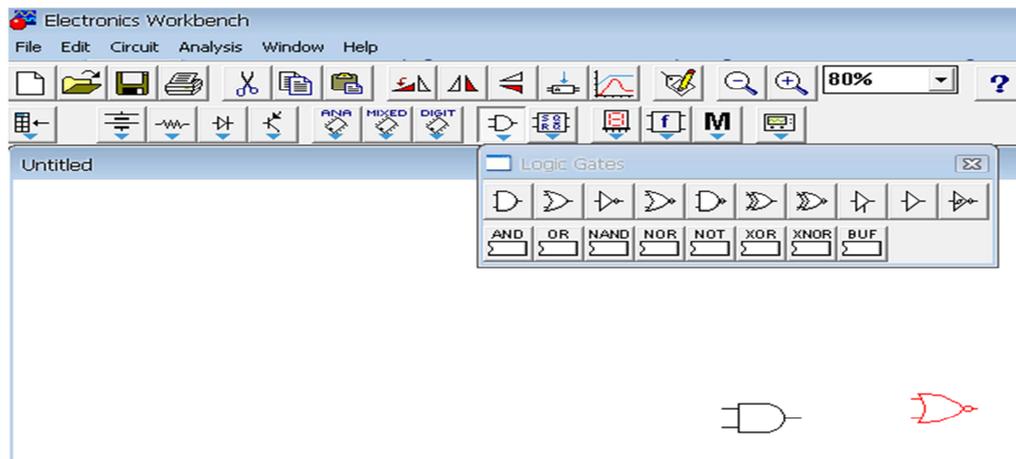
Les différents éléments nécessaires se trouvent dans des « **boites d'outils** » qu'il suffit d'ouvrir en cliquant dessus avec la souris.

1. Les portes logiques sont dans la boîte désignée par le symbole suivant (**Figure 3**).



**Figure 3**

2. Pour prendre les opérateurs logiques, cliquer dessus avec la souris puis les positionner sur la feuille schéma (**Figure 4**). Répéter cette opération autant de fois que nécessaire.



**Figure 4**

3. Pour fermer la boîte cliquer sur la croix en haut à droite.
4. Les connecteurs sont dans la boîte « source de base ».

5. Pour prendre les indicateurs, cliquer puis déplacer (**Figure 5**).

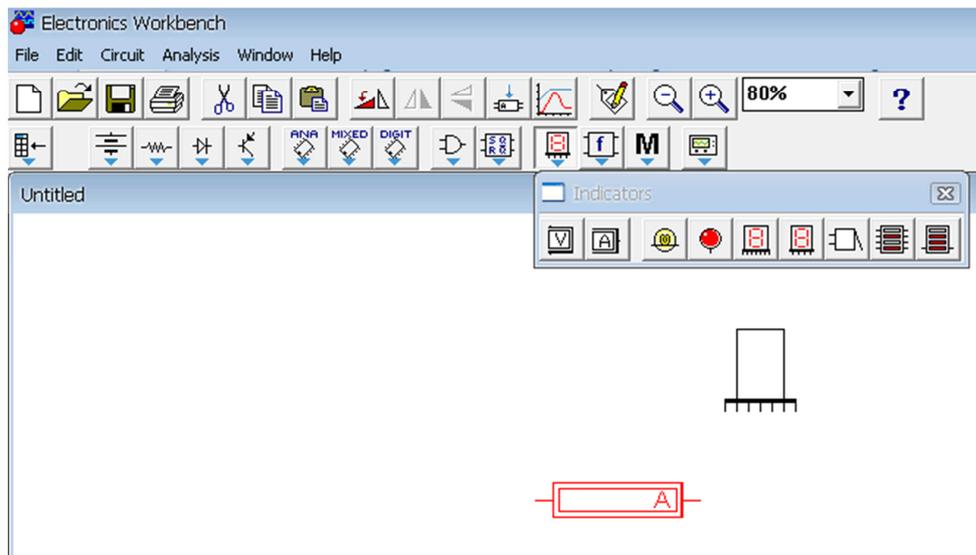


Figure 5

6. Les différents éléments nécessaires se trouvent dans des « boites d'outils » qu'il suffit d'ouvrir en cliquant dessus avec la souris

7. Pour placer une étiquette sur un élément, cliquer dessus avec le bouton droit, puis cliquer (bouton gauche) sur :

- propriétés du composant (Figure 6),
- Étiquette (Figure 7),
- ok .

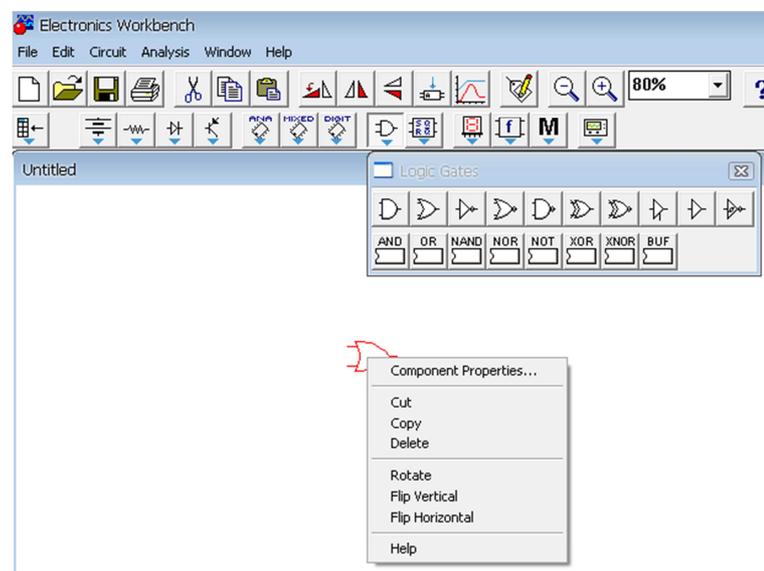


Figure 6

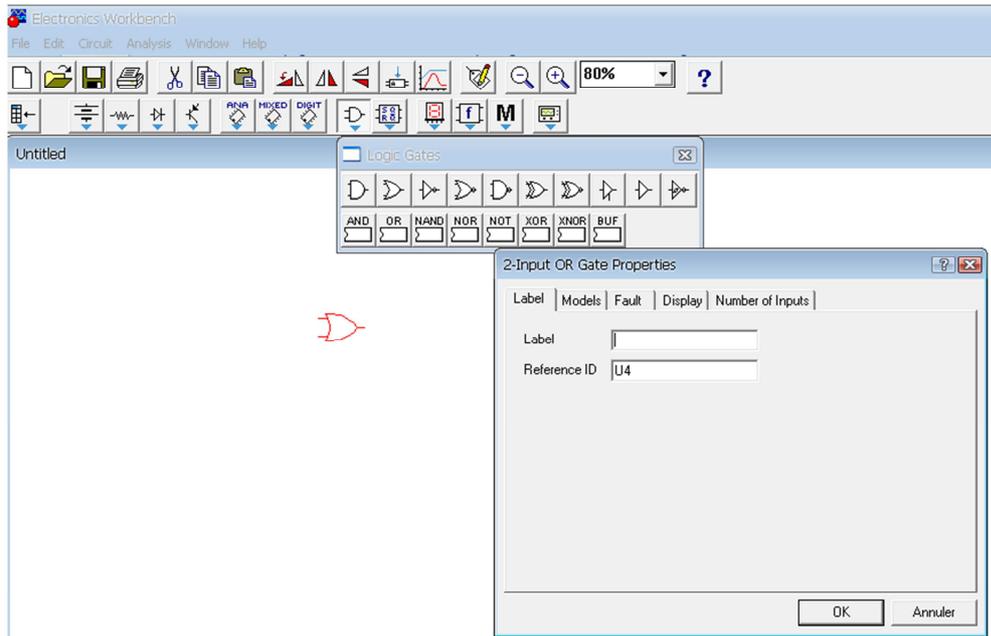


Figure 8

8. Pour réaliser les liaisons filaires, pointer avec la souris sur la borne de départ, cliquer avec le bouton gauche de la souris, garder appuyé, et tirer le fil vers la borne de destination.
9. Pour arrêter la simulation cliquer sur l'interrupteur en haut à droite (Figure 9).

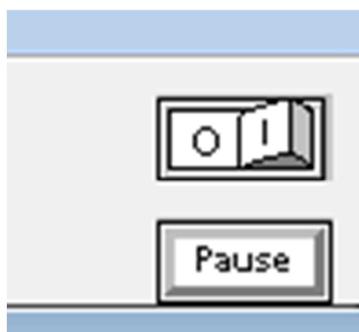


Figure 9

# TP 1

# Portes Logiques

## Objectifs :

- Le but de ce TP est d'étudier les propriétés de différentes portes logiques et se familiariser avec les circuits intégrés (entrée, sortie, alimentation, brochage).

## Manipulation :

- Vérifiez à l'aide d'un logiciel (**Workbench ou autre**) la table de vérité des différentes portes logiques (AND, OR, NAND, NOR, XOR, XNOR et NOT).
- Les portes logiques sont des circuits intégrés (**C.I**) permettant de réaliser des fonctions logiques

fondamentales ; ils en contiennent généralement 4 exemplaires identiques et 14 broches (2 x 7) : Les broches 7 et 14 sont des broches d'alimentation : la broche 14 nommée Vcc est l'alimentation positive ; dans cette séance Vcc=+5 V et la broche 7 est la masse donc son potentiel est nul. Les broches 1, 2, 4, 5, 8, 9, 11 et 12 sont des entrées : l'utilisateur doit imposer un état 0 ou 1. Les broches 3, 6, 10 et 13 sont des sorties : c'est le résultat de l'opération logique.

- Montez le composant 7400 ci-dessous sur un des supports.



Brochage de la série 4000

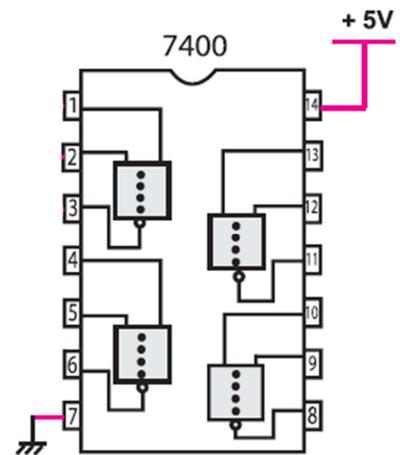
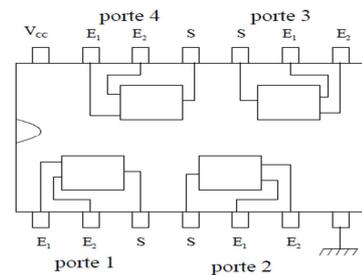


Figure 1

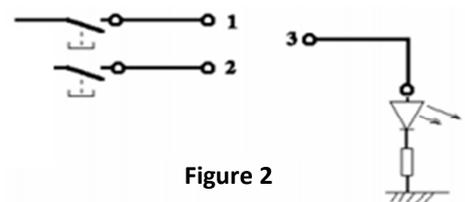


Figure 2

- Réaliser le montage de la **Figure 1** sur une plaquette d'essai ou sur un simulateur électronique en reliant la broche 7 au 0 volts et la broche 14 au 5 volts. Relier les broches 1 et 2 à

deux boutons poussoirs (les deux entrées de la fonction E1 et E2). Relier la broche 3 a une diode électroluminescente (diode DEL) en série avec une résistance de 330  $\Omega$  (la sortie de la fonction S) (voir **Figure 2**).

- Donner la table de vérité en simulant le fonctionnement.
- En déduire le type de la fonction logique réalisée et son symbole.
- Conclusion

- c. Quelles sont les portes logiques utilisées dans ces schémas électroniques?
- En utilisant les circuits intégrés et la plaquette d'essai, donner les tables de vérité de chacune d'elles .
  - Ecrire la table de vérité des dispositifs électroniques.
  - Donner les équations logiques de  $S_0$ ,  $S_1$  et  $S_2$  des schémas électroniques.

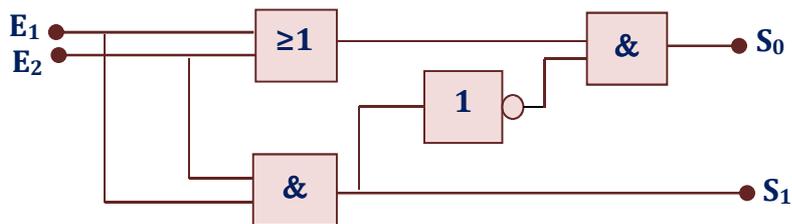


Figure 3

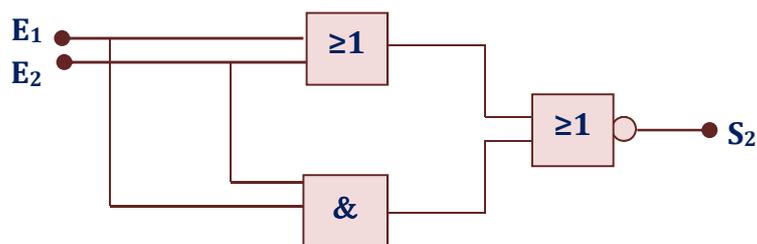


Figure 4

- d. En utilisant uniquement des portes NAND, réalisez la fonction logique suivante :
- $$F = AB + CD$$

# TP 2

# Simplification des fonctions logiques

## Objectifs :

- ✚ Simplifier une fonction logique.
- ✚ Trouver le logigramme le plus simple matérialisant une expression logique.

## Manipulation :

- Vérifier les théorèmes de Morgan :

Equation	Circuit logique	Table de vérité	Conclusion
$\overline{a + b}$		<p>.....</p> <p>.....</p> <p>.....</p> <p>.....</p>	<p>.....</p> <p>.....</p> <p>.....</p>
$\overline{a} \cdot \overline{b}$		<p>.....</p> <p>.....</p> <p>.....</p> <p>.....</p>	<p>.....</p> <p>.....</p> <p>.....</p>
$\overline{a \cdot b}$		<p>.....</p> <p>.....</p> <p>.....</p> <p>.....</p>	<p>.....</p> <p>.....</p> <p>.....</p>
$\overline{a} + \overline{b}$		<p>.....</p> <p>.....</p> <p>.....</p> <p>.....</p>	<p>.....</p> <p>.....</p> <p>.....</p>

1. A l'aide d'un logiciel de simulation (**Workbench ou autre**), câbler puis simuler le fonctionnement du schéma de la figure ci-contre suivant :

- Déterminer les équations de H1 et H2.
- Comparer ces deux équations.
- Confirmer algébriquement le résultat trouvé.

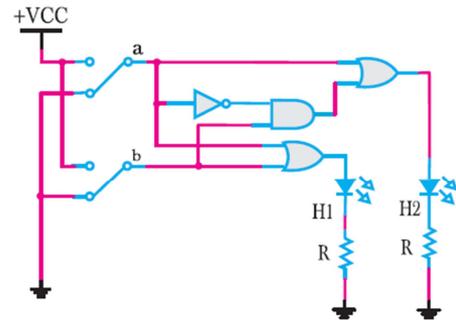


Figure 1

2. Câbler le schéma de la figure ci-contre, simuler son fonctionnement :

- Déterminer les équations de H1 et H2.
- Conclure.

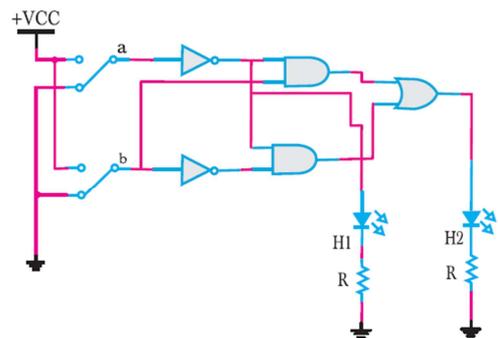


Figure 2

3. Vérifier que  $a + a.b = a$

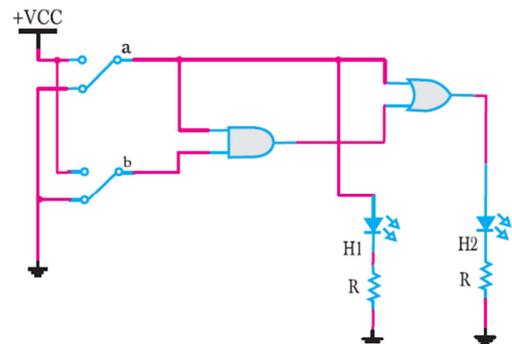


Figure 3

## TP 3

# Décodeurs afficheur

## 7 segments

### Objectifs :

- ✚ L'objectif de ce TP est de se familiariser avec les circuits combinatoires de décodage et d'en voir un exemple d'application.

### Manipulation :

- I. Un décodeur est un circuit qui possède  $n$  entrées et  $2^n$  sorties. Pour chacune des combinaisons possibles des entrées, seule une ligne de sortie est validée. Les décodeurs sont souvent dotés d'une ou plusieurs entrées de validation (EN: enable) qui servent à valider son fonctionnement.
  1. Etablir les équations logiques des sorties  $S_0, S_1, S_2, S_3$  d'un décodeur 2 vers 4 en fonction des variables d'entrée A et B (les sorties sont actives au niveau bas).

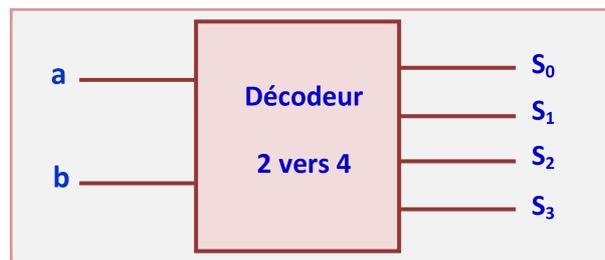


Figure 1

2. Sur maquette, sur simulateur, ou avec un logiciel de simulation :
  - a. Câblez le circuit du décodeur à l'aide de portes logiques NAND en utilisant les équations logiques de sortie  $S_0, S_1, S_2, S_3$  de la première question. Utiliser le circuit intégré TTL du type 7400 (voir brochage).
  - b. Vérifier le fonctionnement à l'aide d'une table de vérité.
- II. On désire afficher, sur un afficheur 7 segments, les chiffres de 0 à 9 ainsi que les lettres de **a** à **f**. Nous allons donc réaliser pour cela un décodeur recevant en entrée un code binaire sur 4 bits (compris entre 0000(2) et 1111(2)), et fournissant en sortie 7 signaux qui permettront d'alimenter les segments de l'afficheur. Les entrées s'appellent **A, B, C et D**, A étant le bit de poids faible. Les sorties s'appelle **a, b, c, d, e, f**, et **g**, et alimentent respectivement les segments **a** à **g** de l'afficheur.

Symbole du décodeur à fabriquer :

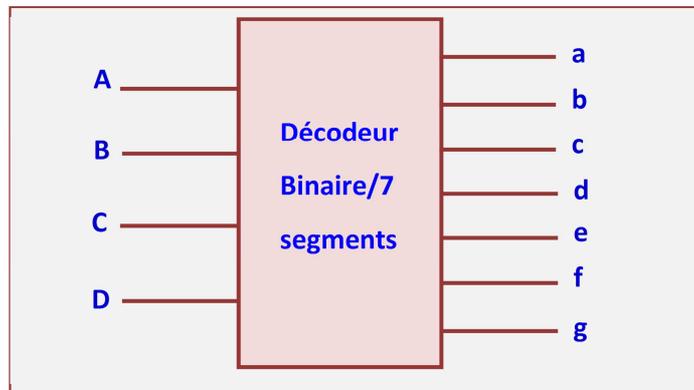
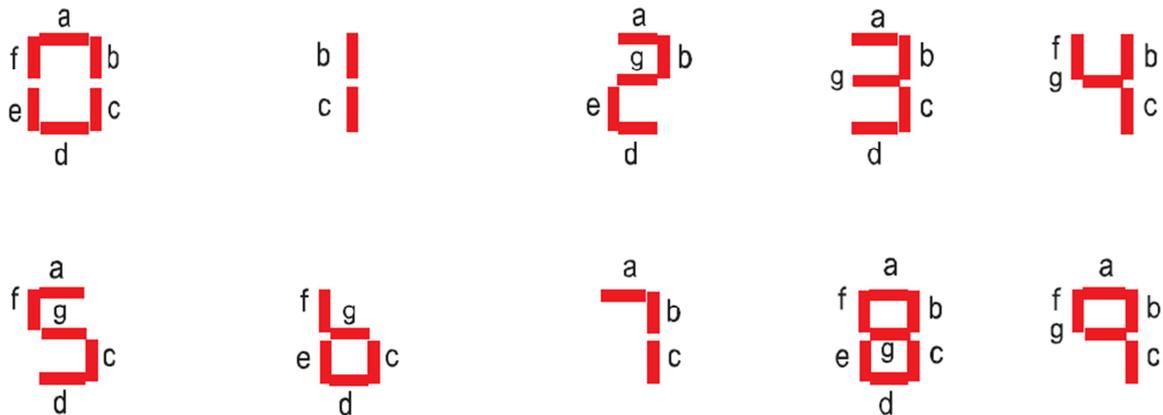


Figure 2

Affichage des symboles sur l'afficheur 7 segments :



- a. Sur maquette, sur simulateur, ou avec un logiciel de simulation, câbler et tester le circuit suivant :

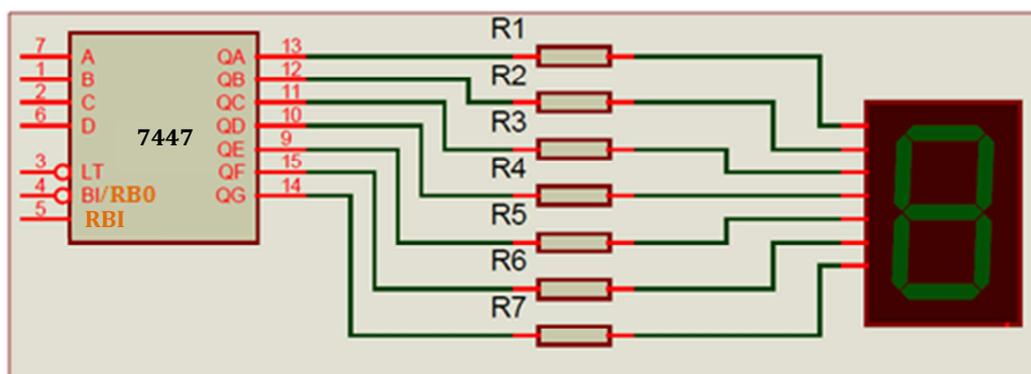


Figure 3

- b. Complétez la table de vérité ci-dessous du décodeur, puis recherchez, en utilisant les tableaux de Karnaugh, les équations simplifiées des 7 sorties du décodeur, en fonction des entrées A à D. Table de vérité du décodeur :

Entrées				Sorties de l'afficheur							Valeur décimale
D	C	B	A	a	b	c	d	e	f	g	
0	0	0	0								0
0	0	0	1								1
0	0	1	0								2
0	0	1	1								3
0	1	0	0								4
0	1	0	1								5
0	1	1	0								6
0	1	1	1								7
1	0	0	0								8
1	0	0	1								9

Equations simplifiées de chaque sortie (d'après les tableaux de Karnaugh) :

a = ..... e = .....  
 b = ..... f = .....  
 c = ..... g = .....  
 d = .....

1. Ajouter un encodeur de priorité au montage précédant (voir Figure ci-dessous). L'encodeur dispose de 4 entrées ( $E_0, E_1, E_2, E_3$ ), il s'agit de réaliser l'affichage du numéro de l'entrée active. Lorsque plusieurs entrées sont simultanément actives, on affichera celle de plus petit indice, réalisant ainsi un encodage de priorité. Si aucune entrée n'est active, l'afficheur est éteint.

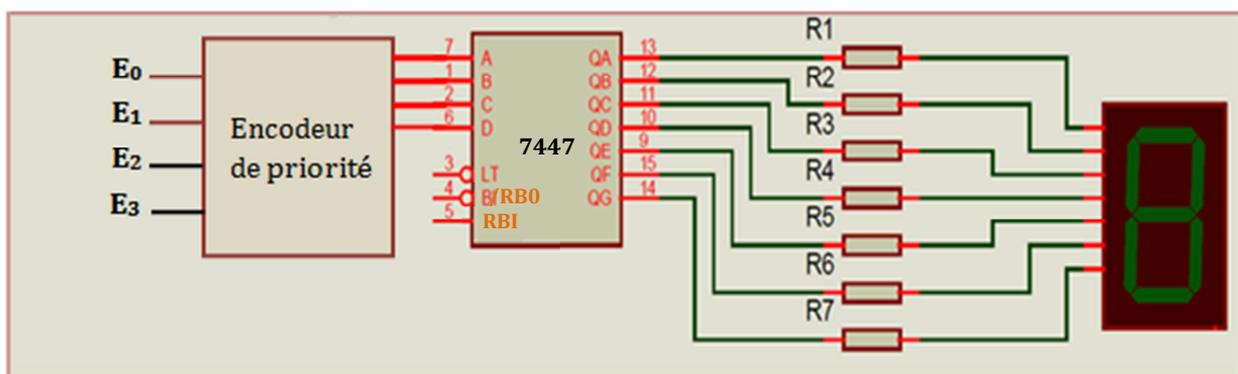


Figure 4

## TP 4

## Comparateur

### Objectifs :

- ✚ L'objectif de ce TP est de maîtriser la technique de simplification par la table de KARNAUGH et savoir transformer une expression algébrique en un système logique pour réaliser une tâche spécifique.

### Manipulation :

**Comparateur 1 bit :** On souhaite réaliser un comparateur simple permettant de savoir si deux valeurs logiques A, B codées sur 1 bits sont égales, ou si  $A > B$  ou  $A < B$  au moyen des sorties respectives : E (A=B), S ( $A > B$ ) et I ( $A < B$ ).



Figure 1

1. Compléter la table de vérité correspondante :

A	B	E (A=B)	S (A > B)	I (A < B)
0	0			
0	1			
1	0			
1	1			

2. Retrouver les équations de E, S et I.
3. Sur maquette, sur simulateur, ou avec un logiciel de simulation :
  - a. Câbler le circuit à partir des équations logique E, S et I de la première question et vérifier le fonctionnement.
  - b. Proposer une solution à base de portes logiques universelles **NAND** ou **NOR**.

**Comparateur parallèle 4 bits :** On veut utiliser ce même circuit pour construire un comparateur de deux nombres de 4 chiffres  $A = (A_3A_2A_1A_0)$  et  $B = (B_3B_2B_1B_0)$ . On appelle  $E'$  ( $A=B$ ),  $S'$  ( $A > B$ ) et  $I'$  ( $A < B$ ) les termes résultant de la comparaison de A et B.

1. Donner les équations de sorties  $E'$ ,  $S'$  et  $I'$  en fonction de  $E$ ,  $S$  et  $I$  de la première partie.
2. Proposer un schéma du comparateur parallèle 4 bits à l'aide du comparateur 1 bit en utilisant les équations logique  $E'$ ,  $S'$  et  $I'$  de la première question.
3. Sur maquette, sur simulateur, ou avec un logiciel de simulation, Câbler le circuit et vérifier son fonctionnement.

## TP 5

## Additionneur Binaire

### Objectifs :

L'objectif de ce TP est d'exécuter en binaire une opération arithmétique de base et mettre en œuvre un circuit arithmétique.

### Manipulation :

- I. Pour obtenir un additionneur complet de deux bits  $a_i$  et  $b_i$  qui calcule la somme  $S_i$  et le retenu  $R_i$  il suffit de tenir compte du retenu de l'étage précédent  $R_{i-1}$  comme entrée supplémentaire. En utilisant la maquette, le simulateur logique ou le logiciel de simulation, remplir la table de vérité ci-après :

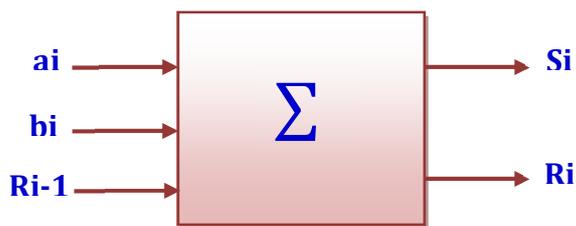
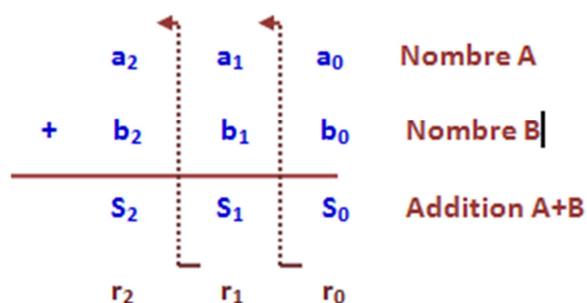


Figure 1

$a_i$	$b_i$	$R_{i-1}$	$S_i$	$R_i$
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

1. Retrouver les équations de  $S_i$  et  $R_i$  en fonction de  $a_i$ ,  $b_i$  et  $R_{i-1}$ .
  2. Sur maquette, sur simulateur, ou avec un logiciel de simulation, Câbler le circuit d'additionneur complet 1 bit. Vérifier son fonctionnement.
- II. Pour effectuer la somme de 2 nombres de 3 bits chacun  $A_2A_1A_0$  et  $B_2B_1B_0$ , il faut mettre en cascade 3 additionneurs selon le principe suivant :



Ce qui donne l'association ci-dessous (la première retenue est forcément à 0 d'où la liaison à la masse) :

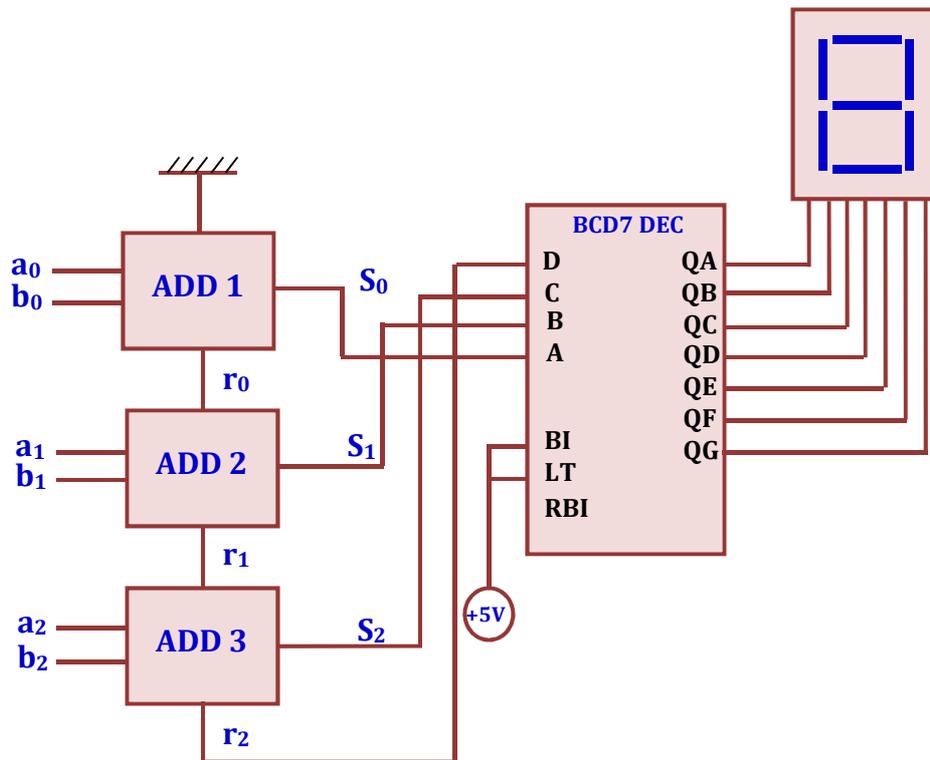


Figure 2

- Vérifier le fonctionnement du circuit. Quelle est sa particularité ?

## TP 6

## Les Bascules

### Objectifs :

L'objectif de ce TP est de découvrir les composants principaux de la logique séquentielle : **les bascules**. Identifier et mettre en œuvre des bascules **RS, RSH, JK, D**.

### I. Bascule asynchrone RS

La bascule RS est une mémoire bistable commandée par deux entrées ( $S$  ;  $R$ ), elle possède deux sorties  $Q$  et  $\bar{Q}$ . L'entrée  $S$  permet la mise à 1 de la sortie  $Q$ ,  $R$  permet sa mise à 0. L'action simultanée ( $S = R = 1$ ) donne un état indéterminé.

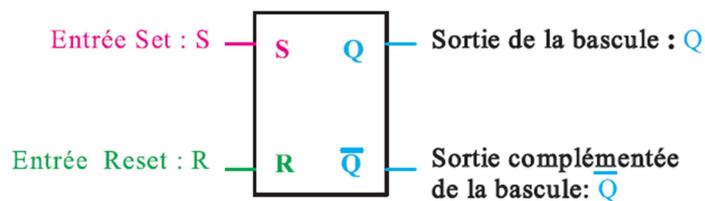


Figure 1 : Bascule asynchrone RS

### 1. Etude d'une Bascule RS à portes NON-ET (NAND) :

- a. Câbler sur simulateur logique le circuit suivant utilisant 4 portes NON-ET (NAND) :

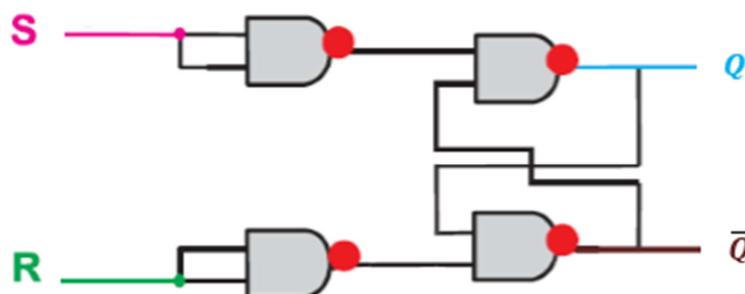
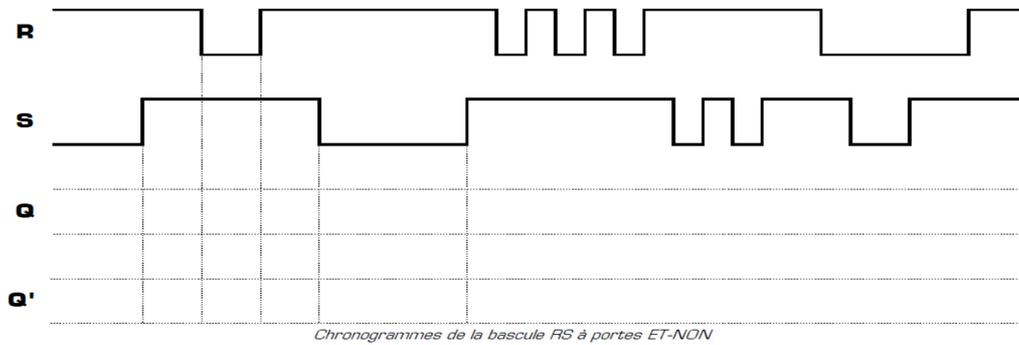


Figure 2

- b. Donner la table de vérité.

- c. Déterminer l'équation de la sortie  $Q_{n+1}$  par la méthode algébrique.
- d. Quel est l'état de la sortie correspondante a l'action simultanée sur  $S$  et  $R$  ?
- e. complétez les chronogrammes des sorties  $Q$  et  $\bar{Q}$  du Montage :



## 2. Etude d'une Bascule RS à portes NON-OU (NOR) :

- a. Réalisez maintenant sur simulateur le circuit suivant utilisant 2 portes NON-OU (NOR) :

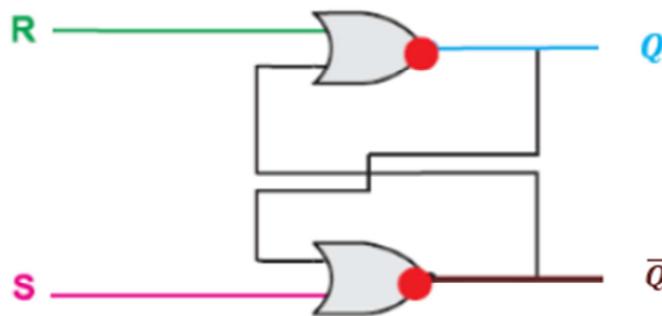
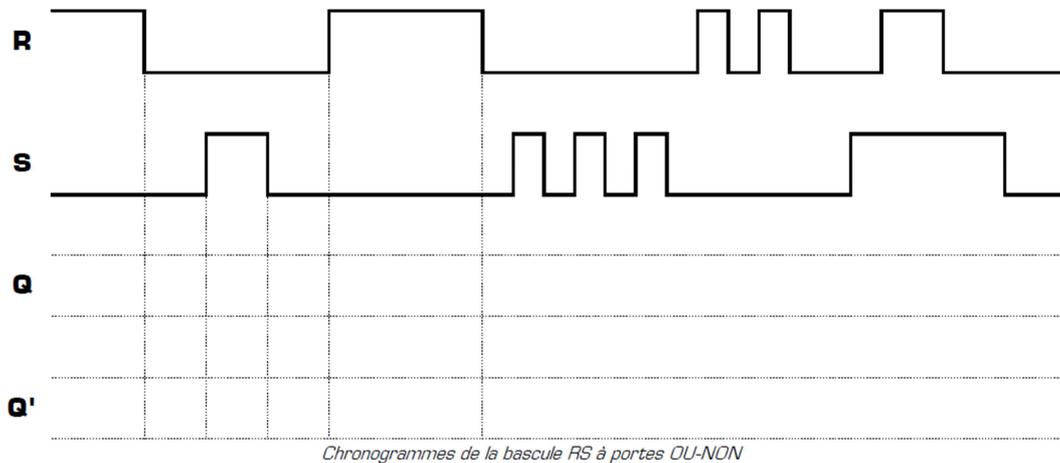


Figure 3

- b. Donner la table de vérité.
- c. Déterminer l'équation de la sortie  $Q_{n+1}$  par la méthode algébrique.
- d. Quel est l'état de la sortie correspondante à l'action simultanée sur  $S$  et  $R$  ?

e. Complétez les chronogrammes des sorties  $Q$  et  $\bar{Q}$  du Montage :



## II. Bascule synchrone

Le changement d'état d'une sortie d'un système séquentiel synchrone dépend de l'état des entrées de commande et de celui du signal actif de synchronisation appelé signal d'horloge.

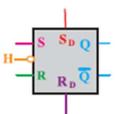
### 1. Bascule RSH :

#### A. Symboles :

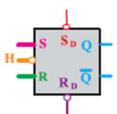
**Symbole de Bascules à commande par niveau d'horloge**



Bascule synchrone RSH à niveau haut

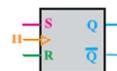


Bascule synchrone RSH à niveau bas et à commande asynchrone

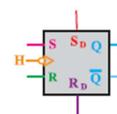


Bascule synchrone RSH à niveau bas et à commande asynchrone complémentée

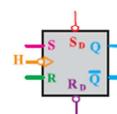
**Basculés à commande par front d'horloge**



Bascule synchrone RSH à front montant



Bascule synchrone RSH à front descendant et à commande asynchrone



Bascule synchrone RSH à front descendant et à commande asynchrone complémentée

## B. Etude d'une Bascule RSH :

1. A l'aide du simulateur logique, réaliser le montage suivant :

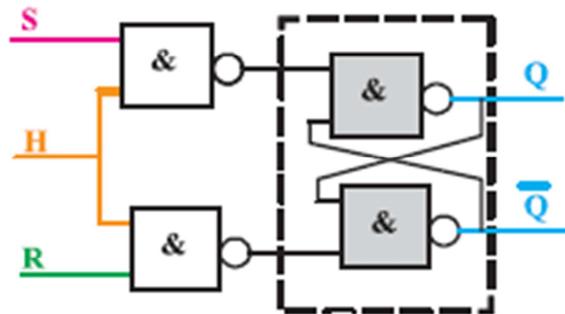


Figure 3

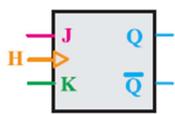
2. Donner la table de vérité.
3. Quel est le rôle du signal d'horloge :
4. Compléter les chronogrammes ci-dessous sachant que  $H$  est à front montant et qu'à l'instant  $t = 0$  on a  $Q_n = 0$ .



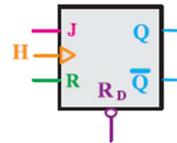
## 1. Bascule JK :

La bascule **JK** est une mémoire bistable commandée par deux entrées **J** et **K**. A l'action simultanée sur **J** et **K** cette bascule change d'état à chaque front d'horloge. Cette bascule élimine la condition indéterminée de la bascule **RS**.

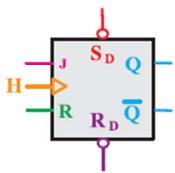
### A. Symboles :



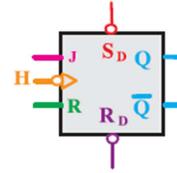
Bascule JK synchrone à front montant



Bascule JK synchrone à front montant et à commande asynchrone par  $\overline{R}_D$ .



Bascule JK synchrone à front montant et à commande asynchrone par  $\overline{S}_D$  et  $\overline{R}_D$ .



Bascule JK synchrone à front descendant et à commande asynchrone par  $\overline{S}_D$  et  $\overline{R}_D$ .

### B. Etude d'une bascule JK :

1. A l'aide du simulateur logique ou à partir du logiciel «**Workbench**», réaliser le montage suivant :

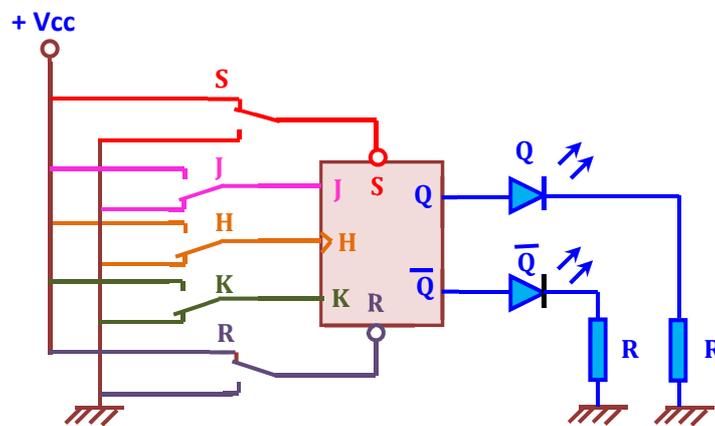


Figure 4

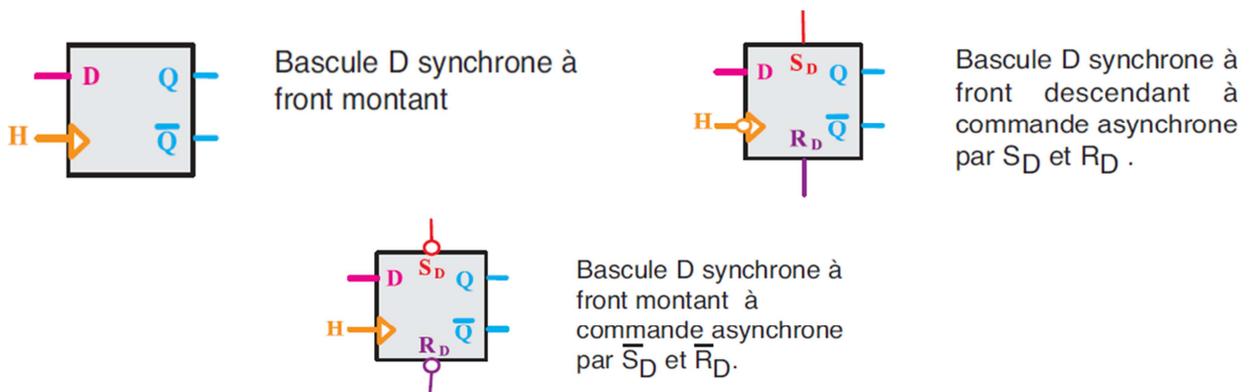
2. Donner la table de vérité.
3. Compléter les chronogrammes ci-dessous sachant qu'à l'instant  $t = 0$  on a  $Q_n = 0$ .



### 3. bascule D :

La bascule **D** est une mémoire bistable commandée par une seule entrée **D**. Elle recopie la valeur de **D** sur **Q** à chaque front du signal d'horloge **H**.

#### A. Symboles :



#### B. Etude d'une bascule D :

- Réalisez sur simulateur le circuit suivant utilisant une bascule **D** :

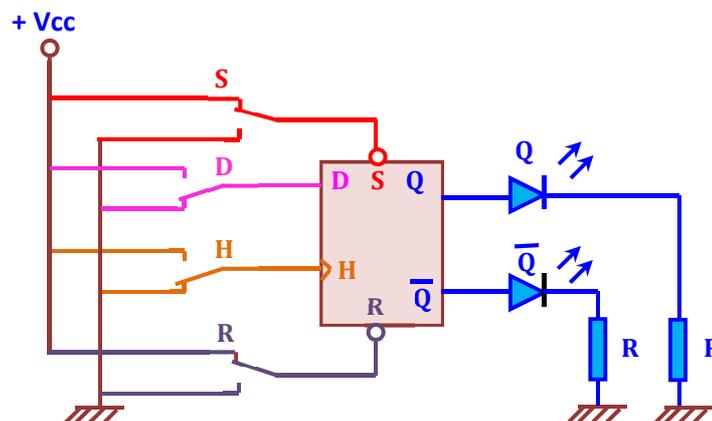


Figure 5



## Objectifs :

L'objectif de ce TP est de :

- ✚ Réaliser et vérifier le fonctionnement des montages de compteurs a base de bascules en mode asynchrone.
- ✚ Réaliser et vérifier le fonctionnement des montages de décompteurs a base de bascules en mode synchrone.
- ✚ Réaliser et vérifier d'autres montages à base de bascules.

## I. Les Compteurs :

Un compteur est un ensemble de  $n$  bascules interconnectées par des portes logiques. Ils peuvent décrire, au rythme d'un signal de commande appelé horloge, une suite d'états binaires. Il ne peut y avoir au maximum que  $2^n$  combinaisons et le nombre total  $N$  des combinaisons successives est appelé le modulo du compteur. Les compteurs binaires peuvent être classés en deux catégories :

- **Les compteurs asynchrones ;**
- **Les compteurs synchrones ;**

**I.1. Les compteurs asynchrones :** Ce type de compteur est constitué de  $n$  bascules JK fonctionnant en mode T (**Toggle**) :  $J=K=1$ . Ces bascules sont montées en cascade c'est-à-dire le signal d'horloge commande uniquement la première bascule tandis que pour chacune des autres bascules le signal d'horloge est fourni par la sortie de la bascule de rang immédiatement inférieur. Pour bien comprendre le principe :

1. Réaliser un compteur binaire asynchrone modulo 16 à l'aide des bascules JK (**Figure 1**).

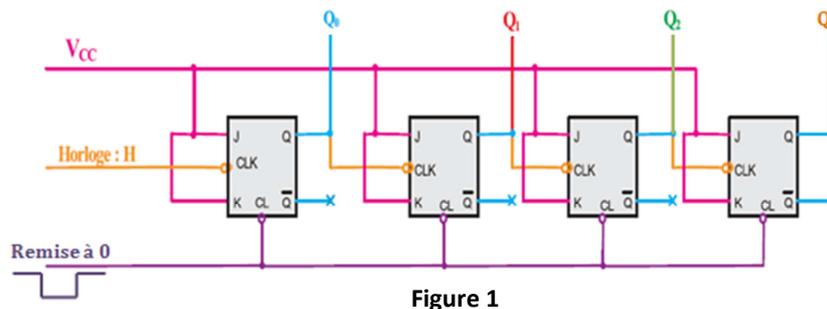


Figure 1

- Appliquer un signal d'horloge (10 kHz par exemple) et relever les signaux observés aux sorties du compteur.
- Réaliser un compteur binaire asynchrone modulo 10 (**Figure 2**).

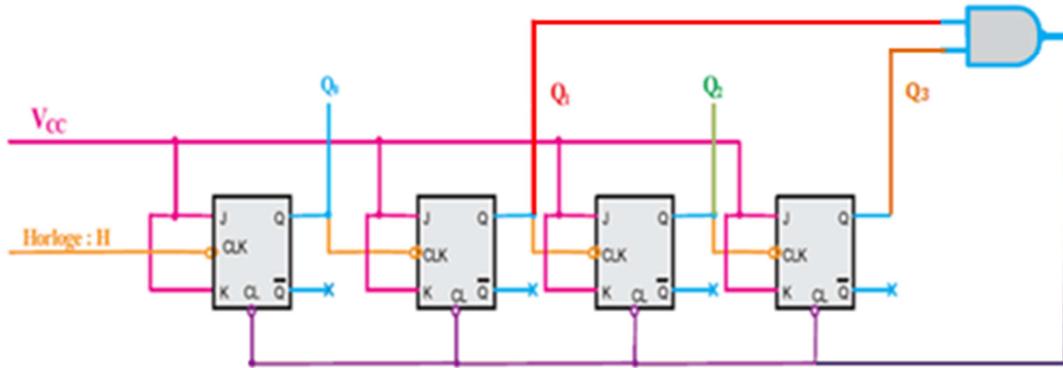


Figure 2

- Câbler le montage et vérifier le fonctionnement à l'aide d'un décodeur-afficheur.
- En s'inspirant des questions précédentes, réaliser un compteur binaire asynchrone modulo 6 en utilisant des bascules JK.
- Câbler le montage et vérifier le fonctionnement à l'aide d'un décodeur-afficheur.
- Monter en cascade un compteur décimal et un compteur modulo 6 pour réaliser un chronomètre de 60 secondes. Câbler le montage et vérifier le fonctionnement

**I.2. Les Compteur synchrone :** Dans un compteur synchrone toutes les bascules reçoivent en parallèle le même signal d'horloge.

- Réaliser un compteur synchrone à 4 états à 4 bascules JK et tel que pour chacun des 4 états une seule bascules soit à l'état 1 à la fois. Le niveau logique 1 progressant d'une bascule à une autre à chaque impulsion d'horloge.
- Câbler le montage et vérifier le fonctionnement.
- Comment se comporte ce compteur par rapport à un registre à décalage.