

République Algérienne Démocratique et Populaire  
وزارة التعليم العالي والبحث العلمي  
Ministère de l'enseignement supérieur et de la recherche scientifique  
المركز الجامعي بلحاج بوشعيب لعين تموشنت  
Centre Universitaire Belhadj Bouchaib d'Ain-Temouchent  
Institut de Technologie  
Département de Génie Electrique



Projet de fin d'études  
Pour l'obtention du diplôme de Master en :  
Domaine : SCIENCE et TECHNOLOGIE  
Filière : ELECTRONIQUE  
Spécialité : INSTRUMENTATION

## Thème

# Etude Et Réalisation D'un Relais De Protection Numérique A Base Des Cartes Electroniques FPGA et Arduino

Présenté Par :

- 1) Sahraoui Mahi
- 2) Rouba Toufik

Devant le jury composés de :

<b>Dr Bencherif Kaddour</b>	MCA	C.U.B.B (Ain Temouchent)	Président
<b>Dr Meradi Abdelhafid</b>	MCB	C.U.B.B (Ain Temouchent)	Encadrant
<b>Melle Boutkhil Malika</b>	MAA	C.U.B.B (Ain Temouchent)	Examinatrice

*Année universitaire 2019/2020*



## REMERCIEMENTS

---

# REMECIEMENTS

*Louange à Allah, Seigneur de l' univers, le tout Puissant, le Miséricordieux, qui nous protège, nous inspire et nous comble de ses bienfaits. Nous lui en rendons toujours grâce.*

*Nous tenons à remercier nos familles pour leur aide précieuse et à exprimer nos remerciements et nos reconnaissances à :*

- *Notre encadreur Mr MIRADI ABDELHAFFID pour ses conseils et orientations tout le long de notre projet de fin d'étude.*
- *A l' ensemble des membres de notre jury d' avoir accepté de juger et d' évaluer ce travail de PFE. Nous remercions sincèrement K. BENCHERIF, MCA CUBB A1 de nous avoir fait l'honneur de présider notre jury. Nous remercions M. BOUKHAL MA A CUBB A1 d' avoir accepté de nous donner un peu de leurs précieux temps pour faire part de notre jury en tant qu' examinatrice.*
- *A tous nos enseignants de centre Universitaire Belhadj Bouchaïb Ain Temouchent.*
- *Sans omettre bien sûr de remercier profondément tous ceux qui ont contribué de près ou de loin à la réalisation du présent travail.*

## DEDICACE

*Je dédie ce modeste travail à :*

*- L'âme de mon père et à ma chère mère pour son soutien, patience, sacrifice et amour toute au long de ma vie. Qu'ALLAH te garde et te bénisse*

*- A ma chère femme qui m'a encouragé et soutenu durant les Moments les plus difficiles de ce long chemin, sans oublier sa famille.*

*- A mes chères enfants : Aya, Oumaima, Abdellah et Yahia.*

*- Mes frères et Mes sœurs et leurs familles.*

*- A tous mes ami(es) sans exception en Particulier mes collègues de travail.*

*- A tous mes enseignants, depuis l'école primaire, et bien sûr à mon binôme Toufik.*

*M. Sakraoui*



## DEDICACE

---

*Je dédie ce modeste travail à :*

*Mes chers parents pour leurs sacrifices qu'ils ont consentis, leurs encouragements particuliers, c'est grâce à leur amour, leur soutien et leur confiance que j'ai pu passé le moment les plus difficiles. J'espère que Dieu maintient la santé et le bien-être pour eux.*

*À tous mes frères et mes sœurs : ABD El Kader Thab  
ABD Rahman Samah Hadil je dédie ce travail dont le grand plaisir leurs revient en premier lieu pour leurs conseils, aides, et encouragements.*

*A celui que j'aime beaucoup et qui m'a soutenue tout au long*

*Aux personnes qui m'ont toujours aidé et encouragé, qui étaient toujours à mes côtés, et qui m'ont accompagné durant mon chemin d'études supérieures, mes aimables amis, collègues d'étude, et frères de cœur,*

*A mon binôme Mahi et toute la famille Sahraoui*

*A tous les enseignants qui ont participé dans ma*

*Formation*

*Rouba. 7*

## TABLE DES MATIÈRES

LISTE DES FIGURES .....	11
LISTE DES TABLEAUX .....	13
I. GENERALITES SUR LES RELAIS DE PROTECTION .....	3
I.1 Introduction .....	3
I.2 TYPES DES DEFAUTS .....	3
I.2.1 Définition .....	3
I.2.2 Durée Des Courts-Circuits .....	4
I.2.3 Détection des défauts .....	4
I.3 ETUDE DES PROTECTIONS D'UN RESEAU .....	5
I.3.1 Définition du système de protection.....	5
I.3.2 Détermination des réglages des unités de protection [2].....	6
I.3.2.1 Le type de réseau : .....	6
I.3.2.2 La topologie du réseau : .....	7
I.3.2.3 Le type de protection : .....	7
I.3.3 Les modes de liaison à la terre du neutre .....	7
I.3.3.1 Difficultés et critères de choix .....	7
I.3.3.1.1 Réduire le niveau des surtensions.....	7
I.3.3.1.2 Réduire le courant de défaut à la terre .....	8
I.4 Sélectivité [3].....	9
I.4.1 Surcharges .....	9
I.4.2 Courts-circuits .....	10
I.4.3 Courants de fuite à la terre .....	10
I.4.4 Creux ou manques de tension.....	11
I.4.5 Sélectivité ampèremétrique .....	12
I.4.6 Sélectivité chronométrique.....	12
I.4.7 Sélectivité logique .....	13
I.5 Fonction de protection et normes internationales : .....	14
I.6 LES CAPTEURS DE COURANT [08] .....	16
I.6.1 Les trois piliers de la mesure .....	16
I.6.2 Les bases de la mesure de courant.....	16
I.6.3 Quelques technologies de capteurs .....	16
I.6.3.1 Les shunts .....	16

I.6.3.2	Les transformateurs de courant.....	17
I.6.3.3	Les bobines de Rogowski .....	18
I.6.3.4	Les capteurs de Hall .....	19
I.6.3.4.1	Capteurs à effet Hall en boucle ouverte : .....	19
I.6.3.4.2	Capteurs à effet Hall en boucle fermée : .....	19
I.7	LES APPAREILS DE COUPURE.....	20
I.8	Conclusion : .....	23
II.	L'EVOLUTION DES RELAIS DE PROTECTION ELECTRIQUE.....	25
II.1	Introduction .....	25
II.2	Évolution des relais de protection : .....	25
II.2.1	Relais électromécaniques .....	25
II.2.2	Relais statiques .....	26
II.2.3	□ Relais numériques .....	26
II.3	Principe de fonctionnement d'un relais numérique.....	27
II.3.1	Filtre anti-repliement :.....	29
II.3.2	L'échantillonnage :.....	29
II.3.3	Multiplexage : .....	30
II.3.4	Conversion analogique / numérique CAN : .....	30
II.3.5	Microprocesseur : .....	31
II.4	Propriétés et avantage des relais numériques : .....	32
II.4.1	Propriétés des relais numérique.....	32
II.4.2	Avantage des relais numériques :.....	32
II.5	Problèmes posés par les protectionsnumériques : .....	33
II.5.1	Fiabilité du logiciel : .....	33
II.5.2	Dialogue homme machine :.....	33
II.6	Conclusion :.....	33
III.	Les Circuits Logiques Programmables .....	36
III.1	INTRODUCTION .....	36
III.2	PRESENTATION DE LA LOGIQUE PROGRAMMEE [11] .....	36
III.2.1	Structure de base d'un PLD .....	37
III.2.2	Technologies utilisées pour les interconnexions :.....	38
III.2.2.1	Interconnexion Fusibles :.....	39
III.2.2.2	Interconnexion par anti-fusible :.....	39
III.2.2.3	La technologie SRAM : .....	39
III.2.2.4	La technologie Flash : .....	40

III.2.3	Représentation et symbolisation.....	40
III.2.4	Circuit PROM (Programmable read only memory) :.....	41
III.2.5	Circuit PLA (Programmable Logic Array) : .....	42
III.2.6	Circuit PAL (Programmable Array Logic) : .....	43
III.2.7	Circuit EPLD (Erasable Programmable Logic Device) : .....	43
III.2.8	Simple Programmable Logic Device (SPLD) : .....	44
III.2.9	Réseau logique de portes GAL : .....	45
III.2.10	Complex Programmable Logic Device (CPLD). .....	46
III.3	CIRCUIT FPGA .....	46
III.3.1	Définition .....	46
III.3.2	TERMINOLOGIE : LE, LAB, ALM, CLB, SLICE [13] .....	48
III.3.2.1	Éléments logiques « LE » .....	48
III.3.2.2	Les blocs de réseaux logiques (LAB) .....	50
III.3.2.3	Bloc logique configurable CLB :.....	51
III.3.2.4	Qu'est c'est qu'un SLICE ?.....	52
III.3.2.4.1	Les LUTs : .....	52
III.3.2.4.1.1	Architecture d'une LUT .....	52
III.3.2.4.1.2	Implémentation d'une fonction logique dans une LUT à 2 entrées : .	53
III.3.3	Qu'est-ce qu'une configuration ? .....	53
III.3.3.1	Les entrées/sorties : .....	53
III.3.3.2	Configuration en entrée : .....	54
III.3.3.3	Configuration en sortie : .....	54
III.3.3.4	Les interconnexions : .....	54
III.3.3.4.1	Les interconnexions à usage général :.....	55
III.3.3.4.2	Les interconnexions directes :.....	55
III.3.3.4.3	Les longues lignes :.....	55
III.3.4	Gestion d'Horloge :.....	56
III.3.5	Architecture de processeur intégrée .....	57
III.3.5.1	Illustration .....	57
III.3.6	Implémentation Et Configuration D'un Circuit FPGA .....	58
III.4	CONCLUSION : .....	60
IV.	REALISATION PRATIQUE ET COMMENTAIRE .....	62
IV.1	Introduction .....	62
IV.2	Cahier de charge .....	62
IV.3	Schéma synoptique de notre relais numérique : .....	62



IV.4	ETUDE DU MATERIEL DE REALISATION .....	63
IV.4.1	Présentation générale de l'ARDUINO .....	63
IV.4.1.1	La carte Arduino Uno .....	64
IV.4.1.2	Caractéristiques techniques : .....	64
IV.4.1.3	Le microcontrôleur ATmega 328P .....	65
IV.4.1.4	Les performances de l'ADC d'ATMEGA328P .....	66
IV.4.1.4.1	Description .....	66
IV.4.1.4.2	Circuit .....	66
IV.4.1.4.3	La référence de tension .....	67
IV.4.1.4.4	La fréquence d'horloge de l'ADC .....	67
IV.4.1.4.5	Principe de la conversion analogique – digitale : .....	68
IV.4.1.4.6	Alimentation .....	68
IV.4.1.4.7	Mémoire .....	68
IV.4.1.4.8	Entrées et sorties .....	68
IV.4.1.4.9	Protection de surintensité USB .....	69
IV.4.1.4.10	Dimensions .....	69
IV.4.2	Module relais 5 V 4 canaux .....	69
IV.4.2.1	Description : .....	69
IV.4.2.2	Application : .....	70
IV.4.2.3	Interface : .....	70
IV.4.3	Module de Capteur Récepteur Infrarouge IR .....	70
IV.4.3.1	Description : .....	70
IV.4.3.2	Applications .....	71
IV.4.3.3	Spécification : .....	71
IV.4.4	Bouton poussoir .....	71
IV.4.4.1	Description : .....	71
IV.4.4.2	Application : .....	71
IV.4.4.3	Spécification : .....	71
IV.4.5	Interrupteur à Bascule MTS-123 3 Broches SPDT ON/OFF/ON 3 Positions Instantanées .....	72
IV.4.5.1	Description : .....	72
IV.4.5.2	Spécification : .....	72
IV.4.6	Le kit de développement FPGA Cyclone IV E : .....	73
IV.4.6.1	Description : .....	73
IV.4.6.2	Applications : .....	73

IV.4.6.3	Spécifications :	73
IV.4.6.3.1	Code de commande :	73
IV.4.6.3.2	Caractéristiques :	73
IV.4.7	Capteur de courant model : ZMCT103C.....	75
IV.4.7.1	Description :	75
IV.4.7.2	Applications :	75
IV.4.7.3	Spécifications :	76
IV.4.7.3.1	Caractéristique :	76
IV.4.7.3.2	Paramètres structurels.....	76
IV.4.7.3.3	Les principaux paramètres techniques.....	76
IV.4.7.3.4	Instructions d'utilisation :	77
IV.5	PLATEFORME DE PROGRAMMATION ARDUINO :	77
IV.5.1	Présentation :	77
IV.5.2	Description de la structure d'un programme.....	78
IV.5.2.1	Description générale des parties.....	78
IV.5.2.1.1	Description des constantes et variables du programme.....	78
IV.5.2.1.2	Fonction principale :	79
IV.5.2.1.3	Fonction boucle :	80
IV.6	PLATEFORME ET ETAPES DE CONCEPTION AVEC QUARTUS :	82
IV.6.1	Présentation :	82
IV.6.1.1	Les logiques de commande et signalisations :	83
IV.6.1.1.1	cahiers de charge de verrouillage d'enclenchement :	83
IV.6.1.1.2	Les conditions :	83
IV.6.1.1.3	Table de vérité.....	84
IV.6.1.1.4	Simplification par Tableau de Karnaugh :	84
IV.7	Étapes à suivre pour la conception :	85
IV.7.1	Ouverture du logiciel Quartus :	85
IV.7.2	Création d'un nouveau projet.....	85
IV.7.3	Choix de la carte a utilisé.....	86
IV.7.4	Validation de la configuration :	87
IV.7.5	Choix de la méthode de la programmation :	87
IV.7.6	Utilisation de la boite à outils et fonctionnalité :	88
IV.7.7	Réalisation de notre circuit logique :	88
IV.7.8	Compilation.....	89
IV.7.9	Visualisation de la Synthèse logique :	90

IV.7.10	Planification des PINs (pin planner) :.....	90
IV.7.11	La pré-programmation du circuit :.....	91
IV.7.12	Programmation du circuit .....	92
IV.8	Schémas de brochage et réalisation :.....	93
IV.8.1	Schéma de brochage avec ARDUINO :.....	93
IV.8.2	Schéma de brochage avec FPGA : .....	93
IV.8.3	Simulation et test du programme .....	94
IV.9	Résultats obtenu :.....	95
IV.9.1	Mesure avec plusieurs charges .....	95
IV.9.2	Mesure successive d'une seule charge.....	96
IV.9.3	Test de relais suite un défaut de surcharge :.....	97
IV.10	Conclusion :.....	98
V.	Conclusion général .....	100

## LISTE DES FIGURES

Figure I-1:	cas deux de protections [1].....	5
Figure I-2:	chaîne de protection [01].....	6
Figure I-3:	schéma équivalent d'un réseau sur défaut à la terre [01].....	8
Figure I-4:	sélectivité [03].....	9
Figure I-5:	sélectivité dans la zone des surcharges [03].....	10
Figure I-6:	D1 est sélectif vis-à-vis de D2 [03].....	11
Figure I-7:	Sélectivité ampèremétrique [03] .....	12
Figure I-8:	Sélectivité chronométrique [01].....	13
Figure I-9:	Sélectivité logique [03] .....	13
Figure I-10:	les piliers de la mesure [27] .....	16
Figure I-11:	Schémas de principe (a) shunt en technologie couches épaisses et (b) shunt coaxial. [08].....	17
Figure I-12:	Schéma de principe d'un transformateur de courant [08].....	17
Figure I-13:	Schéma de principe d'une bobine de Rogowski munie d'un intégrateur [08].....	18
Figure I-14:	Schéma de principe d'un capteur de Hall en boucle ouvert et en boucle fermé [08] .....	19
Figure I-15:	schéma d'un réseau électrique [27].....	21
Figure II-1:	types des relais [27] .....	25
Figure II-2:	Relais électromécaniques [26] .....	26
Figure II-3:	Un relais statique [26].....	26
Figure II-4:	Un relais numérique ABB [26].....	27
Figure II-5:	Éléments de base d'un relais numérique [44].....	28
Figure II-6:	Filtre anti-repliement analogique [44] .....	29
Figure II-7:	multiplexeur analogique [44].....	30
Figure II-8:	représentation des étapes de la conversion A/N [05].....	31
Figure II-9:	CAN convertisseur analogique numérique [05] .....	31
Figure II-10 :	schéma bloc d'un processeur [26] .....	32

Figure III-1: Circuits logiques programmables [27] .....	37
Figure III-2: structure de base des premiers circuits programmables [19].....	37
Figure III-3: Structure de base d'un PLD [11] .....	38
Figure III-4: Principe de l'anti-fusible [11].....	39
Figure III-5: technologies SRAM [16].....	40
Figure III-6: technologies Flash [16] .....	40
Figure III-7: représentation schématique classique [11] .....	41
Figure III-8: nouvelle représentation symbolique [11]. .....	41
Figure III-9: Structure d'un circuit PROM [10].....	42
Figure III-10: Macro cellule de base d'un EPLD [10] .....	44
Figure III-11: Schémas synoptiques des SPLDs [20]. .....	45
Figure III-12: Structure interne d'un circuit GAL [11].....	45
Figure III-13: Transistor MOS utilisé dans les circuits GAL [11].....	46
Figure III-14: Schéma synoptique d'un CPLD [20].....	46
Figure III-15: représentation d'une FPGA [13] .....	47
Figure III-16: Exemple d'une carte de développement FPGA Xilinx Spartan 3 [13] .....	47
Figure III-17: éléments logiques (LE) pour le dispositif Cyclone IV d'Altera [16] .....	49
Figure III-18: mode de fonctionnement normal de LE [23].....	49
Figure III-19: mode de fonctionnement arithmétique de LE [23].....	50
Figure III-20: structure d'un LAB cyclone IV [16] .....	51
Figure III-21: CLB block configurable [13] .....	51
Figure III-22: figure d'une SLICE [13] .....	52
Figure III-23: structure d'une LUT [16] .....	52
Figure III-24: implémentation dans une LUT a 2 entrées [13].....	53
Figure III-25: réalisations des gros multiplexeurs par combinaison entre des LUT [13] .....	53
Figure III-26 : bloc d'entrée /sortie IOB [13] .....	54
Figure III-27: Illustration des différents types d'interconnexions chez Xilinx [13] .....	56
Figure III-28: Principe de génération d'horloge [16] .....	57
Figure III-29: Altera cyclone IV E PLL bloc diagramme [16] .....	57
Figure III-30: Eléments essentiels pour programmer les circuits reconfigurables [27].....	59
Figure III-31: Etapes réalisées par les outils de développement afin de programmer un FPGA [20] .....	59
Figure IV-1 La carte Arduino Uno. [26] .....	64
Figure IV-2: schéma simplifié du contenu type d'un microcontrôleur [21] .....	65
Figure IV-3: synoptique du microcontrôleur ATmega328 [21].....	66
Figure IV-4: circuits d'entrée analogique [26] .....	66
Figure IV-5: chronogramme de l'ADC, conversion unique [08].....	67
Figure IV-6: Module relais 5 V 4 canaux [27].....	70
Figure IV-7: Module de Capteur Récepteur Infrarouge IR [26] .....	71
Figure IV-8: bouton poussoir [26] .....	72
Figure IV-9: Interrupteur à Bascule MTS-123 3 Broches [26].....	72
Figure IV-10: information code de commande de Cyclone IV E [16].....	73
Figure IV-11: carte de développement Altera Cyclone IV [26].....	75
Figure IV-12: Mini Transformateur de courant ZMCT103C [27].....	75
Figure IV-13: paramètres structurels de ZMCT103C [26] .....	76
Figure IV-14: les deux montages de ZMCT103C [26] .....	77
Figure IV-15: Interface de la plateforme Arduino [27].....	78

Figure IV-16: interface du logiciel Quartus II version15.0 web édition [27] .....	85
Figure IV-17: Création d'un nouveau projet sous Quartus II [27] .....	86
Figure IV-18: Configuration du choix du circuit cible a implémenter [27].....	86
Figure IV-19: validation et affichage récapitulative [27].....	87
Figure IV-20: sélection de méthode de saisie de programme [27].....	87
Figure IV-21: symboles et bibliothèque [27] .....	88
Figure IV-22 : schéma logique réalisé [27].....	88
Figure IV-23: rapport de l'outil « Compilateur » [27].....	89
Figure IV-24: RTL : (Register Transfer Logic) Visualisation de la synthèse logique [27] .....	90
Figure IV-25: Localisation des broches disponible du circuit [27].....	90
Figure IV-26: configuration matériel (USB BLASTER) [27] .....	91
Figure IV-27: étape pré-programmation avec Quartus [27].....	91
Figure IV-28: confirmation de l'implantation de notre circuit logique [27].....	92
Figure IV-29: Schéma pour brancher les composants à un Arduino UNO [27] .....	93
Figure IV-30: Schéma pour brancher les composants à la FPGA [27].....	93
Figure IV-31: schéma de simulation sur PROTEUS [27].....	94
Figure IV-32 simulation par Cyclone IV [27].....	94
Figure IV-33: photo de platine d'essai et teste de fonctionnement [27] .....	95
Figure IV-34 : photo de notre relais câblé avec un discontacteur. [27] .....	95

### **LISTE DES TABLEAUX**

Tableau I-1: tableau de code de protection ANSI C37-2 [01] .....	15
Tableau I-2: caractéristiques des capteurs de courant [08] .....	20
Tableau I-3: les différents appareils de connexion, leurs fonctions et leurs applications [09]	22
Tableau II-1: Taux d'échantillonnage standard proposé [44].....	29
Tableau III-1 : représentation symbolique adopté [11] .....	41
Tableau IV-1 paramètre technique de ZMCT103C [26].....	76
Tableau IV-2: table de vérité.....	84
Tableau IV-3 : table de Karnaugh .....	84
Tableau IV-4: tableau des essais réel de plusieurs charges. [27] .....	95
Tableau IV-5: tableau des essais réel avec plusieurs reprises.[27] .....	96
Tableau IV-6 Résultats obtenu avec plusieurs charges [27] .....	97

# **INTRODUCTION GENERALE**

### INTRODUCTION GENERALE

L'électricité est une forme d'énergie ou en d'autres termes c'est un phénomène énergétique associé à la mobilité ou au repos de particules chargées positivement ou négativement.

Des phénomènes naturels, tels que la foudre, étaient déjà observés dès l'antiquité, mais pendant très longtemps l'électricité a terrifié les hommes qui n'ont pas réussi à comprendre comment ce phénomène naturel se produise.

Ce n'est qu'à partir de la fin du 16<sup>e</sup> siècle qu'elle a commencé à être étudiée par les scientifiques pour en comprendre ses mécanismes et établir des lois. Leurs travaux successifs ont permis de créer artificiellement de l'électricité en transformant diverses sources d'énergies.

Aujourd'hui, cette électricité est produite par des centrales électriques, transportée et distribuée aux consommateurs. Comme le feu du temps des hommes préhistoriques, l'électricité a changé la vie de l'humanité. Elle est devenue indispensable à tout ce qui fait notre vie quotidienne : se nourrir, se chauffer, s'éclairer, se laver, soigner, communiquer, se déplacer, fabriquer...

Mais malheureusement l'utilisation de l'électricité présente des dangers pour les personnes et les installations. L'incendie est le danger essentiel pour les installations et ouvrages électriques : il peut être provoqué par des échauffements liés à l'effet Joule dû à une surintensité. Des dispositifs de protection doivent donc interrompre le courant lorsqu'il dépasse une valeur dangereuse. La protection des réseaux électriques désigne l'ensemble des appareils de surveillance et de protection. La conception des réseaux électriques moyenne et haute tension est une œuvre complexe qui doit tenir compte des besoins à satisfaire la sécurité des personnes et des biens, la continuité de service et les coûts d'installation et d'exploitation.

Dans notre étude on va faire une illustration sur les équipements de protections et leurs rôles fondamentaux et essentiels pour éliminer rapidement les défauts tout en assurant une bonne sélectivité et une continuité de service. Notre mémoire est subdivisé en quatre chapitres à savoir :

- Dans le premier chapitre nous présenterons une démonstration générale sur les types des défauts, les protections des ouvrages électriques, leurs diversités, qualités, fonctions et rôle qui lui est assigné.
- Dans le deuxième chapitre nous donnerons une notion approfondie sur l'évolution des protections existant déjà et on va focaliser l'étude sur les relais numériques avec explication de ses différentes fonctions et composants.
- Dans le troisième chapitre nous présenterons une étude comparative entre les différents types de circuits logiques programmables et les éléments principaux constitutifs de l'architecture FPGA de la famille Altera et Xilinx.
- Finalisons par le quatrième chapitre réservé pour une réalisation pratique d'un prototype d'un relais numérique intelligent à maximum d'intensité instantané F50 à base de carte électronique ARDUINO UNO et la carte de développement ALTERA CYCLONE 4.

**CHAPITRE I**  
**GENERALITES SUR LES**  
**RELAIS DE**  
**PROTECTION**



## I. GENERALITES SUR LES RELAIS DE PROTECTION

---

### I.1 INTRODUCTION

Les buts visés par les dispositifs de protection sont multiples :

- Participer à la protection des personnes contre les dangers électriques.
  - Éviter les détériorations de matériel (un court-circuit triphasé sur un jeu de barres moyenne tension peut faire fondre jusqu'à 50 kg de cuivre en 1 seconde ; la température de l'arc peut dépasser en son centre 10000 °C).
  - Limiter les contraintes thermiques, diélectriques et mécaniques auxquelles sont soumis ces matériels.
  - Préserver la stabilité et la continuité de service du réseau.
  - Protéger les installations voisines (par exemple, réduire les tensions induites dans les circuits proches).
1. Pour atteindre ces objectifs, un système de protection doit avoir des qualités de rapidité, sélectivité et fiabilité.
  2. Cependant, il faut être conscient des limites de la protection : les défauts doivent tout d'abord se produire pour qu'elle agisse.
  3. La protection ne peut donc empêcher les perturbations ; elle ne peut que limiter leurs effets et leur durée. De plus, le choix d'une protection est souvent un compromis technico-économique entre la sécurité et la disponibilité de l'alimentation en énergie électrique. [01]

### I.2 TYPES DES DEFAUTS

#### I.2.1 DÉFINITION

Un défaut est caractérisé par un phénomène non conforme au fonctionnement normal des installations pouvant, dans certain cas, conduire à un effondrement électrique de celui-ci et à la mise en danger de son environnement. Le risque d'apparition d'un incident sur les ouvrages n'est pas nul car il est lié à de nombreux paramètres aléatoires. Ainsi, les courts-circuits peuvent avoir diverses origines :

- Électrique : défauts d'isolement.
- Atmosphériques : la foudre, les tempêtes ou le givre.
- Mécaniques : la dégradation mécanique des conducteurs consécutive à des agressions extérieures.
- Humaines : les fausses manœuvres.

Ceux-ci sont caractérisés par leur type, leur durée et l'intensité du courant de défaut comme on peut distinguer :

- **Les défauts monophasés** : Ce sont des défauts entre une phase et la terre ou une phase et le neutre.
- **Les défauts biphasés** : Ce sont les courts-circuits entre deux phases avec ou sans mise à la terre.

- **Les défauts triphasés** : Ce sont les courts-circuits entre les trois phases avec ou sans mise à la terre.

L'existence de défauts multiples, en particulier les défauts monophasés, engendre des phénomènes ou d'autres types de défaut en fonction de la localisation et du temps :

- ✓ **Défaut double** : Ce sont deux défauts d'isolement phase terre simultanés entre deux phases différentes d'un même réseau alimenté par un même transformateur HTB/HTA sur des terres différentes éloignées géographiquement.
- ✓ **Défaut évolutif** : C'est un défaut d'un type donné qui évolue vers un nouveau type dans un temps variable de quelques millisecondes à plusieurs centaines de millisecondes.

### I.2.2 DURÉE DES COURTS-CIRCUITS

Un court-circuit est toujours le résultat d'un manque d'isolement. Si ce manque d'isolement est durable, le court-circuit est dit **permanent**. C'est pratiquement toujours le cas lorsque l'isolant est solide. À l'inverse, lorsque l'isolant est gazeux, il se reforme très souvent de lui-même autour de la zone atteinte dès la mise hors tension et la disparition de l'arc. Il suffit de remettre l'installation sous tension pour reprendre le service normal. Dans un tel cas, on a affaire à un court-circuit

**Fugitif** : C'est le cas de très nombreux incidents de lignes.

Un court-circuit peut encore être :

**Intermittent** : lorsqu'il se répète à intervalles très rapprochés ; c'est le cas par exemple d'un court-circuit dû au balancement de conducteurs ou de branches d'arbres sous l'effet d'un vent violent.

**Semi-permanent** : lorsqu'il persiste pendant un certain temps puis disparaît avec sa cause ; c'est le cas, par exemple, d'un défaut dû à la croissance de la végétation, il disparaît lorsque celle-ci est consommée ; un bon élagage permet d'éviter ce type d'incident.

**Auto-extincteur** : lorsqu'il disparaît de lui-même ; on rencontre ce type de court-circuit sur les réseaux MT en cas de défaut monophasé.

### I.2.3 DÉTECTION DES DÉFAUTS

Les protections contrôlent en permanence l'état électrique du réseau en surveillant un certain nombre de grandeurs électriques caractéristiques (courant, tension, fréquence) ou des combinaisons de ces grandeurs (puissance, impédance, etc.).

En cas de défaut sur un élément quelconque des réseaux, le système de protection doit être capable d'identifier sans ambiguïté l'ouvrage atteint et de commander l'ouverture des disjoncteurs strictement nécessaires à la mise hors tension de cet ouvrage et de lui seul. Cette exigence fondamentale à laquelle doivent satisfaire les protections est couramment désignée par sélectivité d'élimination des défauts.

Certaines protections sont totalement sélectives, par leur principe même ; c'est le cas, par exemple, des *protections différentielles*.

D'autres protections, *protections de distance*, par exemple, n'ont, au contraire, qu'une sélectivité relative.

D'autres protections encore ne sont pas sélectives ; c'est le cas des *protections à maximum de courant ou à minimum de tension*. La figure I-1 montre le cas de deux protections P1 et P2 sollicitées simultanément par un même défaut. Si la protection P1 fonctionne en un temps  $t_1$  et la protection P2 en un temps  $t_2$ , la sélectivité de fonctionnement entre P1 et P2 exige que :

$$t_2 > t_1 + S$$

$$\text{ou } t_2 - t_1 > S$$

$S$  : intervalle de sélectivité, il doit tenir compte :

- Du temps d'ouverture du disjoncteur D1.
- Du temps de retour au repos de la protection P2 après élimination du défaut.
- Des causes d'erreurs dans l'estimation des différents temps.

Ces propriétés fondamentales sont mises à profit dans de nombreux principes de protections

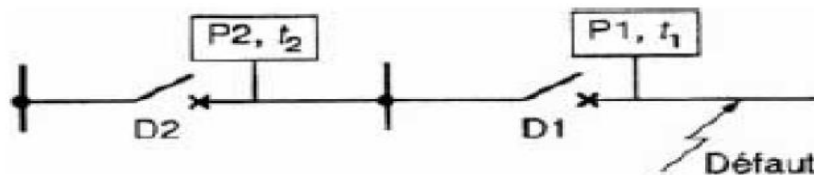


Figure I-1: cas deux de protections [1]

La conception des **réseaux de distribution MT** répond à des considérations en général différentes de celles exposées pour les réseaux THT et HT et la perte d'un seul ouvrage de ces réseaux peut conduire à une interruption de fourniture d'énergie ; la réalimentation de la clientèle nécessite alors des manœuvres manuelles ou automatiques. Néanmoins, pour limiter ces interruptions et faciliter l'identification de l'ouvrage atteint et, par suite, permettre une reprise de service rapide, la sélectivité d'élimination des défauts est également une exigence très forte.

### I.3 ETUDE DES PROTECTIONS D'UN RESEAU

L'étude des protections d'un réseau se décompose en deux étapes distinctes :

1. La définition du système de protection, encore appelée plan de protection.
2. La détermination des réglages de chaque unité de protection, encore appelée coordination des protections ou sélectivité.

#### I.3.1 DÉFINITION DU SYSTÈME DE PROTECTION

Le système ou plan de protection est conçu de façon à prévoir tous les équipements de protections nécessaires pour assurer une meilleure qualité de service à moindre coût.

Ce système de protection est basé sur les critères fondamentaux suivants :

**Sûreté de fonctionnement** : fiabilité du matériel

**Sélectivité** : déclenchement des seuls disjoncteurs délimitant l'ouvrage en défaut

**Rapidité d'élimination** : L'élimination des défauts doit être suffisamment rapide

Pour garantir :

- ✓ La tenue du matériel (lignes, jeux de barre, disjoncteurs et transformateurs).
- ✓ La sûreté de fonctionnement du système électrique.
- ✓ La qualité de fourniture de l'énergie délivrée aux utilisateurs de la production, transport jusqu'à la distribution.

Pour établir un plan de protection, les paramètres suivants sont à prendre en compte :

- ✓ La topologie du réseau et ses différents modes d'exploitation.
- ✓ Le besoin de continuité de service.
- ✓ Les schémas de liaison à la terre.

Le système de protection se compose d'une chaîne constituée des éléments suivants voir (figure I.2) :

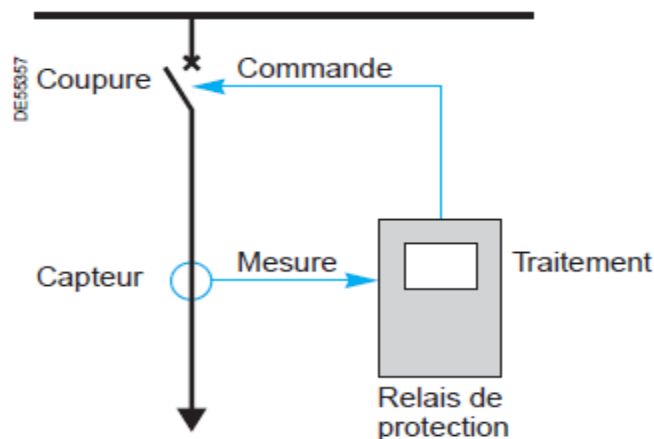


Figure I-2: chaîne de protection [01]

- Capteurs de mesure – courant et tension – fournissant les informations de mesure nécessaires à la détection des défauts.
- Relais de protection, chargés de la surveillance permanente de l'état électrique du réseau, jusqu'à l'élaboration des ordres d'élimination des parties défectueuses et leur commande par le circuit de déclenchement.
- Organes de coupure dans leur fonction d'élimination de défaut : disjoncteurs, interrupteurs-fusibles, contacteurs-fusibles.

### I.3.2 DÉTERMINATION DES RÉGLAGES DES UNITÉS DE PROTECTION [2]

Afin de fiabiliser les relais de protections pour éliminer rapidement les défauts tout en assurant une bonne sélectivité et une continuité de service, une philosophie de réglage doit être élaborée pour préciser les paramètres de réglage et les fonctions à adopter, pour définir harmonieusement les différentes priorités d'action entre les protections.

Le calcul des réglages dépend de plusieurs paramètres à savoir :

#### I.3.2.1 Le type de réseau :

- ✓ Réseau d'interconnexion.

- ✓ Réseau de transport.
- ✓ Réseau de répartition.
- ✓ Réseau de distribution.

### I.3.2.2 La topologie du réseau :

- ✓ Ligne ordinaire dans un réseau maillé de transport ou de répartition.
- ✓ Ligne longue reliant des postes disposant de lignes courtes.
- ✓ Ligne en antenne.
- ✓ Ligne en piquage.
- ✓ Transformateur d'interconnexion HTB/HTB.
- ✓ Transformateur HTB/HTA.

### I.3.2.3 Le type de protection :

- ✓ Protection de distance.
- ✓ Protection différentielle.
- ✓ Protection à maximum de courant.
- ✓ Protection de surcharge thermique.
- ✓ Protection à maximum ou à minimum de tension etc...

## I.3.3 LES MODES DE LIAISON À LA TERRE DU NEUTRE

Le plan de protection est coordonné avec le régime de neutre. Le potentiel du neutre peut être fixé par rapport à la terre par cinq méthodes différenciées par la nature (capacité, résistance, inductance), et la valeur (zéro à l'infini) de l'impédance  $Z_N$  de liaison que l'on connectera entre neutre et terre :

- $Z_N = \infty$  : **neutre isolé**, pas de liaison intentionnelle,
- $Z_N$  est une **résistance** de valeur plus ou moins élevée,
- $Z_N$  est une **réactance**, de valeur faible en général,
- $Z_N$  est une **réactance de compensation**, destinée à compenser la capacité du réseau,
- $Z_N = 0$  : le neutre est relié **directement à la terre**.

### I.3.3.1 Difficultés et critères de choix

Les critères de choix concernent de multiples aspects :

- Techniques (fonction du réseau, surtensions, courant de défaut, etc.).
- D'exploitation (continuité de service, maintenance).
- De sécurité.
- Économiques (coûts d'investissements, d'exploitation).
- Habitudes locales ou nationales.

En particulier, deux considérations techniques importantes sont contradictoires :

#### I.3.3.1.1 Réduire le niveau des surtensions

Des surtensions trop importantes sont à l'origine du claquage diélectrique des isolants électriques, avec des courts-circuits comme conséquence.

---

Les surtensions ont plusieurs origines :

- Surtensions de foudre auxquelles sont exposés tous les réseaux aériens jusqu'au point de livraison aux usagers,
- Surtensions internes au réseau engendrées par les manœuvres et certaines situations critiques (résonances),
- Surtensions résultant du défaut à la terre lui-même et de son élimination.

### I.3.3.1.2 Réduire le courant de défaut à la terre

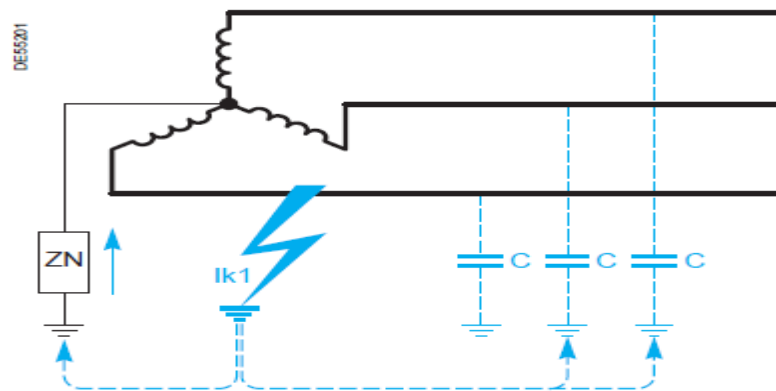


Figure I-3: schéma équivalent d'un réseau sur défaut à la terre [01]

Un courant de défaut trop élevé entraîne toute une série de conséquences :

- Dégâts par l'arc au point de défaut ; en particulier, fusion des circuits magnétiques des machines tournantes.
- Tenue thermique des écrans de câble.
- Dimensions et coût de la résistance de mise à la terre.
- Induction dans les circuits de télécommunications voisins.
- Danger pour les personnes, par élévation du potentiel des masses.

Malheureusement, l'optimisation de l'une de ces exigences entraîne automatiquement la dégradation de l'autre. Ainsi, deux méthodes typiques de mise à la terre du neutre accentuent ce contraste :

- ~ Le neutre isolé, qui supprime la circulation dans le neutre du courant de défaut terre, mais génère des surtensions plus importantes.
- ~ Le neutre à la terre direct, qui réduit au minimum les surtensions, mais provoque un courant de défaut élevé.

En ce qui concerne les considérations d'exploitation, on notera selon le mode de liaison à la terre du neutre adopté :

- ~ La possibilité ou non de fonctionner lors d'un premier défaut maintenu.
- ~ La valeur des tensions de contact développées.
- ~ La plus ou moins grande simplicité de mise en œuvre de la sélectivité des protections.

Ainsi le choix se portera souvent sur une solution intermédiaire de neutre relié à la terre par impédance.

## I.4 SÉLECTIVITÉ [3]

L'ensemble des protections d'un réseau constitue un système ou la sélectivité a pour but d'isoler le plus rapidement possible la branche en défaut et d'éviter de couper injustement des branches saines. Elle permet ainsi la localisation du défaut facilement.

La sélectivité est dite totale si elle est garantie quelle que soit la valeur du courant de défaut, jusqu'à la valeur maximale disponible dans l'installation.

Elle est dite partielle dans le cas contraire.

Les défauts rencontrés dans une installation sont de différents types :

- Surcharge
- Court-circuit.
- Fuite de courant à la terre.
- Creux ou absence momentanée de tension

Les techniques de mise en œuvre de la sélectivité sont à adapter aux phénomènes mis en jeu, et différent donc selon le type de défaut.

### I.4.1 SURCHARGES

Ce sont des intensités comprises entre 1 et 10 fois l'intensité de service. Leur élimination doit se faire dans un temps compatible avec la tenue thermique des conducteurs concernés. Le temps de déclenchement est généralement inversement proportionnel au carré du courant (déclenchement dit « à temps inverse »).

La sélectivité des disjoncteurs se traite en comparant les courbes temps/courant des déclencheurs long-retard concernés par le défaut (fig. I-4)

Elle est assurée si, pour toute valeur du courant de surcharge, le temps de non-déclenchement du disjoncteur amont D1 est supérieur au temps maximal de coupure du disjoncteur aval D2 (y compris le temps d'extinction d'arc). Cette condition est réalisée en pratique si le rapport  $I_{r1} / I_{r2}$  est  $> \text{à } 1,6$ .

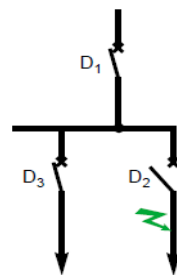


Figure I-4: sélectivité [03]

A chaque type de défaut correspond un dispositif de protection spécifique (protection contre les courants de surcharge, de court-circuit, de défaut à la terre ou contre les manques de tension...).

Chacun de ces défauts peut provoquer une perte de sélectivité si la coordination des dispositifs de protection n'a pas été prise en compte.

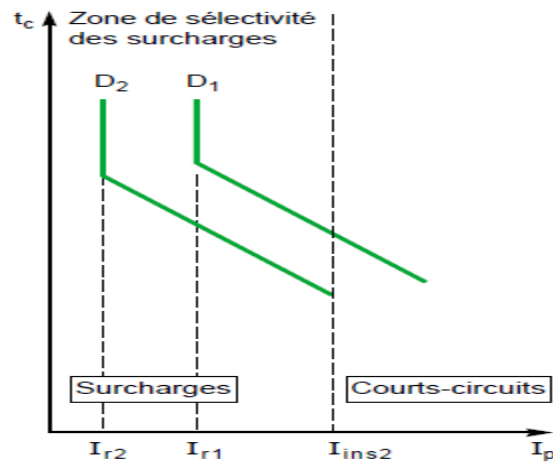


Figure I-5: sélectivité dans la zone des surcharges [03]

## I.4.2 COURTS-CIRCUITS

En raison de l'amplitude des courants de court-circuit et surtout du fait de la présence d'arcs électriques qui généralement les accompagnent, les circuits concernés doivent être interrompus quasi instantanément, en moins de quelques centaines de millisecondes.

La sélectivité peut se traiter, en partie, en comparant les courbes temps/courant, tant que le temps ( $t_c$ ) est supérieur à quelques dizaines de millisecondes. En deçà, ces courbes sont un instrument insuffisamment précis pour statuer avec certitude.

En outre, le temps et le courant ne sont alors plus les seuls critères discriminants. Il faut, selon les cas, tenir compte le courant crête, de la limitation, ou d'une combinaison du temps et du courant.

## I.4.3 COURANTS DE FUITE À LA TERRE

Là aussi, la sélectivité doit être prise en compte afin d'éviter qu'un défaut d'isolement en un point quelconque de l'installation ne conduise au déclenchement des appareils de tête.

Il existe 2 grandes familles de protection contre ces courants de fuite. Pour les faibles ou très faibles valeurs de courant (typiquement de 30 mA à 30 A), on utilise un capteur entourant tous les conducteurs actifs. Ce capteur réalise naturellement la somme des courants, et fournit un signal proportionnel au courant de défaut. En effet, la présence d'un courant de défaut à la terre (ou à la masse) conduit la somme  $I_1+I_2+I_3+I_n$  à être différente de zéro.

Ce système est généralement désigné par « protection différentielle ».

Pour les valeurs de courant de fuite plus élevées, supérieures à 20 % du courant nominal, on utilise un capteur par conducteur actif.

<sup>1</sup>  $I_p$  : Courant de court-circuit présumé qui se développerait en l'absence de dispositifs de protection (valeur efficace).

$t_c$  : Temps réel de coupure (extinction de l'arc).



Le système, que l'on nomme simplement « protection terre » (« ground fault » en anglais) ( $I_{s2}$  et  $I_p$ ) réalise la somme des signaux fournis par chacun de ces capteurs.

Dans les 2 cas, la sélectivité est traitée par différenciation des seuils et des temporisations.

Elle peut se contrôler par des courbes temps/courant (**figure I-6**).

#### I.4.4 CREUX OU MANQUES DE TENSION

Ils peuvent être générés par un court-circuit dans l'installation, ou par un défaut en amont de celle-ci, et conduire à un déclenchement des appareils de tête s'ils sont munis d'un déclencheur à manque ou à minimum de tension.

La solution consiste à utiliser des déclencheurs à manque ou à minimum de tension temporisés, dont le temps de réaction devra être supérieur au temps de déclenchement sur court-circuit des appareils situés en aval.

Même non temporisés, les déclencheurs à manque ou à minimum de tension doivent présenter une immunité à des manques de tension d'une dizaine de millisecondes, afin de ne pas être affectés lors des courts-circuits éliminés par les appareils situés près des récepteurs.

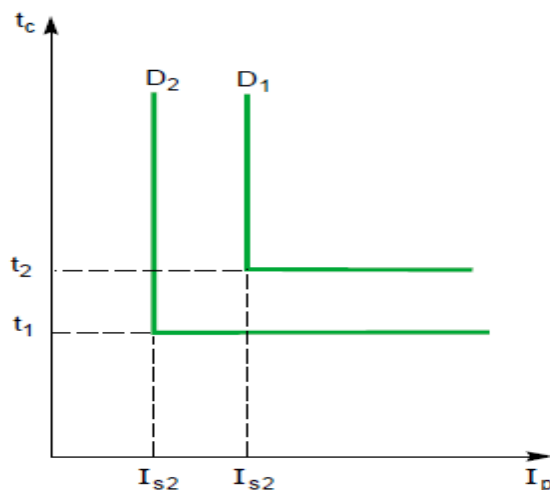


Figure I-6: D1 est sélectif vis-à-vis de D2 [03]

Améliorer la sélectivité revient généralement à « freiner » le déclenchement du disjoncteur considéré par rapport au déclenchement des disjoncteurs situés en aval dans l'installation.

Cet objectif est réalisé :

- ✓ Soit en utilisant un écart entre les seuils de déclenchement, c'est la **sélectivité ampèremétrique**.
- ✓ Soit en retardant de quelques dizaines ou centaines de millisecondes le déclenchement du disjoncteur amont, c'est la **sélectivité chronométrique**
- ✓ Soit en communiquant d'un disjoncteur à l'autre l'information de dépassement de seuil, c'est la **sélectivité logique**.

### I.4.5 SÉLECTIVITÉ AMPÈREMÉTRIQUE

Elle résulte de l'écart entre les seuils des déclencheurs instantanés ou court-retard des disjoncteurs en série dans un circuit.

Elle s'applique dans le cas de défauts de court-circuit et conduit généralement, si elle n'est pas associée à une autre sélectivité partielle limitée au seuil d'intervention de l'appareil amont (figure 7).

La sélectivité est assurée si le seuil maxi du déclencheur de l'appareil aval est inférieur au seuil mini de celui de l'appareil amont, toutes tolérances comprises.

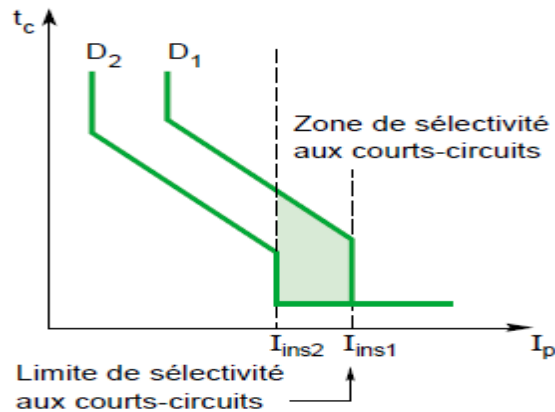


Figure I-7: Sélectivité ampèremétrique [03]

### I.4.6 SÉLECTIVITÉ CHRONOMÉTRIQUE

Il consiste à donner des temporisations différentes aux protections à maximum de courant échelonnées le long du réseau. Ces temporisations sont d'autant plus longues que le relais est plus proche de la source.

Ainsi, sur le schéma (figure 8), le défaut représenté est vu par toutes les protections (en A, B, C, et D). La protection temporisée D ferme ses contacts plus rapidement que celle installée en C, elle-même plus rapide que celle installée en B...

Après l'ouverture du disjoncteur D et la disparition du courant de défaut, les protections A, B, C qui ne sont plus sollicitées, reviennent à leur position de veille.

La différence des temps de fonctionnement DT entre deux protections successives est l'intervalle de sélectivité.

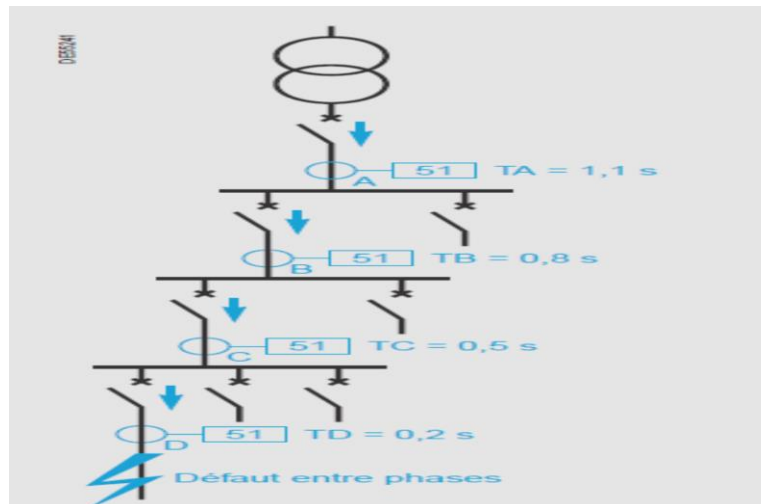


Figure I-8: Sélectivité chronométrique [01]

Cette solution ne peut être mise en œuvre qu'à condition que l'appareil puisse supporter l'intensité de court-circuit durant cette temporisation. Elle n'est donc applicable qu'aux appareils à forte tenue électrodynamique, dits aussi « sélectifs ».

#### I.4.7 SÉLECTIVITÉ LOGIQUE

Elle nécessite un transfert d'informations entre les déclencheurs des disjoncteurs des différents étages de la distribution. Son principe est simple (**figure I-9**) :

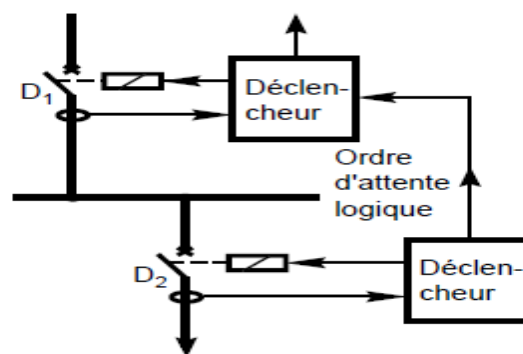


Figure I-9: Sélectivité logique [03]

Un déclencheur qui voit un courant supérieur à son seuil de fonctionnement envoie un ordre logique de temporisation au déclencheur du disjoncteur qui est juste en amont. La temporisation sera celle affichée sur le déclencheur.

Le déclencheur du disjoncteur situé immédiatement en amont du court-circuit ne recevant pas d'ordre d'attente agit immédiatement, quelle que soit sa temporisation affichée.

La sélectivité logique est un additif à la sélectivité chronométrique. Elle permet de réduire les temps d'élimination des défauts, ce qui réduit les contraintes sur l'installation.

Elle s'applique aux disjoncteurs BT sélectifs de forte intensité, mais elle est aussi utilisée sur les réseaux HT industriels. Elle nécessite que les déclencheurs soient compatibles entre eux.

## I.5 FONCTION DE PROTECTION ET NORMES INTERNATIONALES :

Les relais de protection qui surveillent en permanence les grandeurs électriques du réseau, comportent des associations de fonctions élémentaires, dont la combinaison est adaptée aux éléments de réseau surveillés.

Le mode de travail d'une fonction de protection fait intervenir des temps caractéristiques :

- Le temps de fonctionnement (operating time) : c'est le temps qui s'écoule entre l'application de la grandeur caractéristique (à deux fois le seuil de réglage) et le basculement du relais de sortie (sortie instantanée),
- Le temps de dépassement (overshoot time) : c'est la différence entre le temps de fonctionnement et la durée maximale d'application de la grandeur caractéristique sans déclenchement,
- Le temps de retour (reset time) : c'est le temps écoulé entre la diminution brutale de la grandeur caractéristique et le basculement du relais de sortie.

Certaines caractéristiques des fonctions de protection sont réglables par l'utilisateur, notamment :

- **Seuil de déclenchement** : il fixe la limite de la grandeur observée déterminant l'action de la protection.
- **Temps de déclenchement** : temporisation à temps indépendant, ou temps constant (DT : Definite Time)

Plusieurs normes internationales définissent les fonctionnalités des relais de protection. La norme EN60617-7 indique les symboles relatifs à ces fonctions. La norme américaine ANSI C37-2 utilise quant à elle des nombres pour indiquer la fonctionnalité du relais de protection recherché. Nous vous indiquons dans le tableau ci-dessous une liste de quelques fonctions définies dans cette norme suivie d'une brève définition

Code ANSI	Libellé de la fonction	Définition
12	Survitesse	Détection de survitesse des machines tournantes
14	Sous-vitesse	Détection de sous-vitesse des machines tournantes
21	Protection de distance	Détection de mesure d'impédance
21B	Minimum d'impédance	Protection de secours des générateurs contre les courts-circuits entre phases
24	Contrôle de flux	Contrôle de surfluxage
25	Contrôle de synchronisme	Contrôle d'autorisation de couplage de deux parties de réseau
26	Thermostat	Protection contre les surcharges
27	Minimum de tension	Protection pour contrôle d'une baisse de tension
27D	Minimum de tension directe	Protection des moteurs contre un fonctionnement à tension insuffisante
27R	Minimum de tension rémanente	Contrôle de disparition de la tension entretenue par les machines tournantes après déconnexion de l'alimentation
27TN	Minimum de tension résiduelle harmonique 3	Détection de défaut d'isolement à la terre d'enroulements statoriques (neutre impédant)
32P	Maximum de puissance active directionnelle	Protection de contrôle de transfert maximal de puissance active
32Q	Maximum de puissance réactive directionnelle	Protection de contrôle de transfert maximal de puissance réactive
37	Minimum de courant phase	Protection triphasée contre les minima de courant
37P	Minimum de puissance active directionnelle	Protection de contrôle de transfert minimal de puissance active
37Q	Minimum de puissance réactive directionnelle	Protection de contrôle de transfert minimal de puissance réactive
38	Surveillance de température de paliers	Protection contre les échauffements anormaux des paliers des machines tournantes
40	Perte d'excitation	Protection des machines synchrones contre défaut ou perte d'excitation
46	Maximum de composante inverse	Protection contre les déséquilibres des courants des phases
47	Maximum de tension inverse	Protection de tension inverse et détection du sens de rotation inverse de machine tournante
48 - 51LR	Démarrage trop long et blocage rotor	Protection des moteurs contre le démarrage en surcharge ou sous tension réduite, et pour charge pouvant se bloquer
49	Image thermique	Protection contre les surcharges
49T	Sonde de température	Protection contre les échauffements anormaux des enroulements des machines
50	Maximum de courant phase instantanée	Protection triphasée contre les courts-circuits entre phases
50BF	Défaillance disjoncteur	Protection de contrôle de la non-ouverture du disjoncteur après ordre de déclenchement
50N ou 50G	Maximum de courant terre instantanée	Protection contre les défauts à la terre : 50N : courant résiduel calculé ou mesuré par 3 TC 50G : courant résiduel mesuré directement par un seul capteur (TC ou tore)
50V	Maximum de courant phase à retenue de tension instantanée	Protection triphasée contre les courts-circuits entre phases, à seuil dépendant de la tension
50/27	Mise sous tension accidentelle générateur	Détection de mise sous tension accidentelle de générateur
51	Maximum de courant phase temporisée	Protection triphasée contre les surcharges et les courts-circuits entre phases
51N ou 51G	Maximum de courant terre temporisée	Protection contre les défauts à la terre : 51N : courant résiduel calculé ou mesuré par 3 TC 51G : courant résiduel mesuré directement par un seul capteur (TC ou tore)
51V	Maximum de courant phase à retenue de tension temporisée	Protection triphasée contre les courts-circuits entre phases, à seuil dépendant de la tension
59	Maximum de tension	Protection de contrôle d'une tension trop élevée ou suffisante
59N	Maximum de tension résiduelle	Protection de détection de défaut d'isolement
63	Pression	Détection de défaut interne transformateur (gaz, pression)
64REF	Différentielle de terre restreinte	Protection contre les défauts à la terre d'enroulements triphasés couplés en étoile avec neutre relié à la terre
64G	100 % stator générateur	Détection de défauts d'isolement à la terre des enroulements statoriques (réseau à neutre impédant)
66	Limitation du nombre de démarrages	Protection contrôlant le nombre de démarrages des moteurs
67	Maximum de courant phase directionnelle	Protection triphasée contre les courts-circuits selon le sens d'écoulement du courant
67N/67NC	Maximum de courant terre directionnelle	Protection contre les défauts à la terre selon le sens d'écoulement du courant (NC : Neutre Compensé)
78	Saut de vecteur	Protection de découplage à saut de vecteur
78PS	Perte de synchronisme (pole slip)	Détection de perte de synchronisme des machines synchrones en réseau
79	Réenclencheur	Automatisme de refermeture de disjoncteur après déclenchement sur défaut fugitif de ligne
81H	Maximum de fréquence	Protection contre une fréquence anormalement élevée
81L	Minimum de fréquence	Protection contre une fréquence anormalement basse
81R	Dérivée de fréquence (rocof)	Protection de découplage rapide entre deux parties de réseau
87B	Différentielle jeu de barres	Protection triphasée contre les défauts internes de jeu de barres
87G	Différentielle générateur	Protection triphasée contre les défauts internes d'alternateurs
87L	Différentielle ligne	Protection triphasée contre les défauts internes de ligne
87M	Différentielle moteur	Protection triphasée contre les défauts internes de moteur
87T	Différentielle transformateur	Protection triphasée contre les défauts internes de transformateur

Tableau I-1: tableau de code de protection ANSI C37-2 [01]

## I.6 LES CAPTEURS DE COURANT [08]

La précision de la chaîne de mesure dépend principalement de la précision des capteurs.

### I.6.1 LES TROIS PILIERS DE LA MESURE

La métrologie a coutume de dénommer mesurande la grandeur que l'on cherche à mesurer et mesure le résultat du mesurage.

Celui-ci se fait au moyen d'un capteur généralement associé à un circuit de conditionnement. Cette chaîne vise à optimiser les caractéristiques de la mesure (amplitude, linéarité, rapport signal sur bruit...) et à obtenir une estimation précise du mesurande.



Figure I- 10 les piliers de la mesure [27]

Trois aspects d'un système de mesure méritent d'être distingués :

1. **Le transducteur** : élément sensible servant à transformer la grandeur physique d'intérêt en une grandeur électrique. Il repose sur un principe physique donné (par exemple la loi d'Ohm).
2. **La topologie** : manière dont sont mis en œuvre ou associés un ou plusieurs transducteurs afin de donner à la mesure une justes caractéristiques (linéarité, mesure différentielle...).
3. **L'instrumentation** : électronique associée au capteur à des fins d'amplification, de filtrage des signaux, de stabilité de fonctionnement.

### I.6.2 LES BASES DE LA MESURE DE COURANT

Il s'agit de la mesure d'un courant  $I$ , divers principes physiques peuvent être exploités afin de transformer celui-ci en une tension  $V_s$ .

Le principe le plus direct consiste à exploiter la loi d'Ohm en mesurant la tension aux bornes d'une résistance de valeur connue précisément (shunt de mesure) et parcourue par le courant à mesurer.

Toutes les autres méthodes sont des méthodes indirectes : les transducteurs qu'elles mettent en œuvre étant sensibles aux grandeurs magnétiques (champ, induction, flux magnétique) induites par le courant à mesurer. Autrement dit, elles font appel au théorème de Maxwell-Ampère. Parmi les nombreux transducteurs possibles, on peut citer les capteurs de Hall (basés sur des matériaux semi-conducteurs), les magnétorésistances (basées sur des matériaux magnétiques), les transformateurs de courant (basés sur des inductances).

### I.6.3 QUELQUES TECHNOLOGIES DE CAPTEURS

#### I.6.3.1 Les shunts

Un shunt est une résistance  $r_s$  de faible valeur et de haute précision calibrée et connue, placée en série avec le conducteur traversé par le courant  $I_{mes}$  à mesurer. En mesurant la tension aux bornes de cette résistance shunt, le courant circulant dans le circuit peut facilement être connu en appliquant la loi d'Ohm.

On distingue les shunts réalisés en technologie planaire (circuit en couche épaisse) de ceux réalisés en technologie est coaxiale (figure 10). Les premiers sont destinés à être implantés dans des circuits imprimés et les seconds sont utilisés pour la mesure de courant à très hautes fréquences.

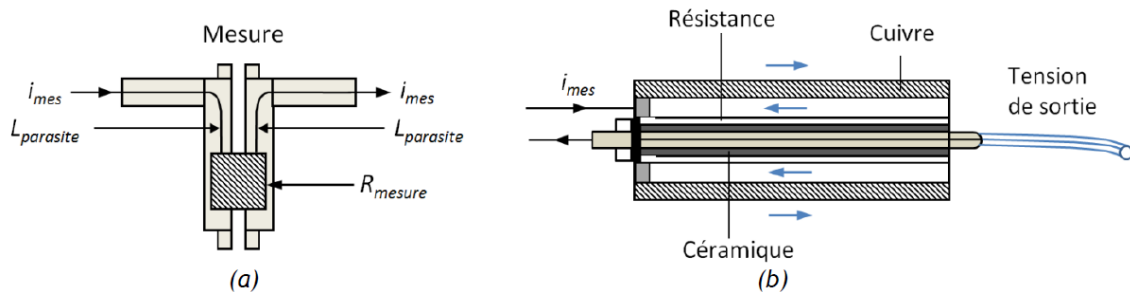


Figure I-11: Schémas de principe (a) shunt en technologie couches épaisses et (b) shunt coaxial. [08]

L'avantage de cette technique est sa simplicité est sa mise en œuvre, et peut également être appliquer à la fois pour courant continu et courant alternatif.

L'inconvénient de cette technique, puisque les shunts sont placés en série avec le conducteur parcouru par le courant à mesurer, ils génèrent une inductance parasite aux points de prélèvement de la tension. Il faut savoir que les shunts pour la mesure de forts courants sont massifs et qu'ils présentent des pertes joules (dissipation de chaleur).

### I.6.3.2 Les transformateurs de courant

Un transformateur de courant (TC) est un tore ferromagnétique comportant un enroulement primaire de  $N_1$  spires parcouru par le courant à mesurer  $I_{mes}$  et un enroulement secondaire comportant un nombre  $N_2$  élevé de spires terminé par une charge résistive  $R$  (figure I.11).

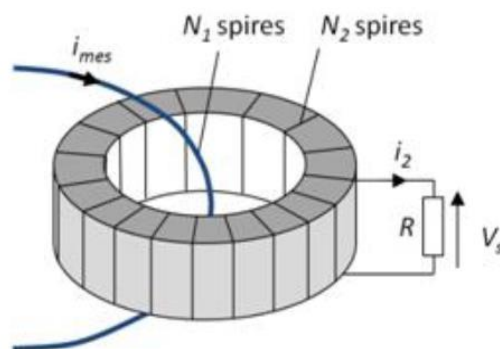


Figure I-12: Schéma de principe d'un transformateur de courant [08].

Son principe repose sur le théorème d'Ampère et la loi de Lenz : le premier veut que le courant parcourant le conducteur primaire crée une induction qui, pour peu que son flux varie, engendre, en vertu de la seconde, une force électromotrice (*f.e.m.*) variable aux bornes du secondaire. Il en résulte aux bornes de la charge  $R$  une tension  $V_s$  corrélative à  $I_{mes}$ , telle que la sensibilité du transformateur vérifie la relation :

$$\frac{V_s}{i_{mes}} = R \frac{N_1}{N_2} \left[ \frac{V}{A} \right]$$

Il est à noter qu'en pratique lorsque les courants à mesurer ont une intensité supérieure à 50A, on ne fait passer qu'une seule fois le conducteur primaire autour du circuit magnétique :

$$NI = 1.$$

Les transformateurs de courant constituent une solution robuste et simple, notamment du fait qu'ils ne nécessitent pas l'apport d'une alimentation externe.

### I.6.3.3 Les bobines de Rogowski

Comme des transformateurs de courant, les bobines de Rogowski reposent sur le théorème d'Ampère et la loi de Lenz. La différence réside dans le noyau des bobines, qui est amagnétique. Elles se présentent comme un enroulement hélicoïdal, généralement de plusieurs centaines à plusieurs milliers de spires, dont une extrémité du fil est ramenée par le centre du noyau jusqu'à l'autre extrémité (figure I.11). Le conducteur primaire parcouru par le courant à mesurer est encerclé par le bobinage. La tension induite en sortie de l'enroulement est proportionnelle à la dérivée de la variation du courant (loi de Lenz). Pour s'affranchir de l'opération de dérivée, un circuit intégrateur est placé en sortie du capteur (il en constitue le circuit de conditionnement). La tension de sortie est ainsi proportionnelle au courant et en phase avec celui-ci.

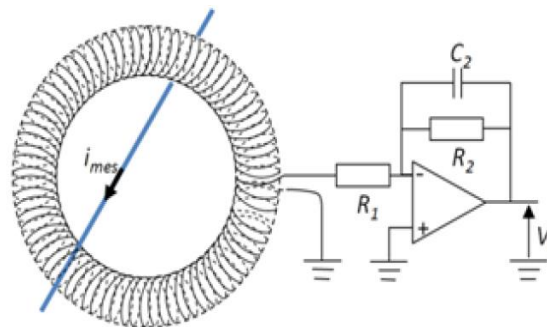


Figure I-13: Schéma de principe d'une bobine de Rogowski munie d'un intégrateur [08]

Le fait qu'il n'a pas de noyau magnétique, la bobine de Rogowski a beaucoup d'avantages comparés au transformateur de courant, qui sont :

- Pas de saturation et donc une bonne linéarité.
- Peut résister au fort courant de court-circuit sans dommage, il peut donc être utilisé dans les essais de court-circuit des générateurs.
- Sa réponse est très rapide en raison de la faible inductance.

Bien que la bobine de Rogowski offre beaucoup plus d'avantages qu'un transformateur de courant, l'utilisation d'un intégrateur est l'un des revers de cette technique, comme le circuit intégrateur a besoin d'une tension continue pour son fonctionnement, ce qui introduit une tension



continue de décalage à ce capteur, ce qui signifie que la bobine Rogowski ne peut pas mesurer une tension continue en dessous de cette tension.

### I.6.3.4 Les capteurs de Hall

Les capteurs de Hall sont réalisés à partir de matériaux semi-conducteurs. Ils nécessitent d'être alimentés par un courant ( $I$ ).

Dans ces capteurs, la production de la tension où la différence de potentiel est due à l'écoulement du courant perpendiculairement au champ magnétique. La tension produite est perpendiculaire à la direction de circulation du courant. Ce principe a été nommé d'après Edwin Hall en 1879. Par conséquent, le capteur à effet Hall est un capteur qui produit une tension comme sortie, qui varie en fonction de la variation de champ magnétique produit par le courant d'entrée. En général, ce capteur se compose principalement de deux types :

#### I.6.3.4.1 Capteurs à effet Hall en boucle ouverte :

Le conducteur traversé par le courant d'entrée dont on veut le mesurer est placé dans l'entrefer du circuit primaire. Cet écoulement de courant produit une tension de Hall  $VH$  qui est proportionnel au courant d'entrée. Fréquemment, on ajoute un circuit à la sortie de ce capteur pour améliorer le signal utilisé et obtenir une tension désirée.

#### I.6.3.4.2 Capteurs à effet Hall en boucle fermée :

Ce capteur est constitué du même circuit que celui en boucle ouverte, sauf qu'il y a un circuit supplémentaire (bobine secondaire) qui produit un courant en opposition (à l'équilibre) du courant primaire. Ce qui produit un courant de compensation qui est proportionnel au courant primaire. Le courant secondaire produit est l'image du courant primaire et est convertie en tension par une résistance.

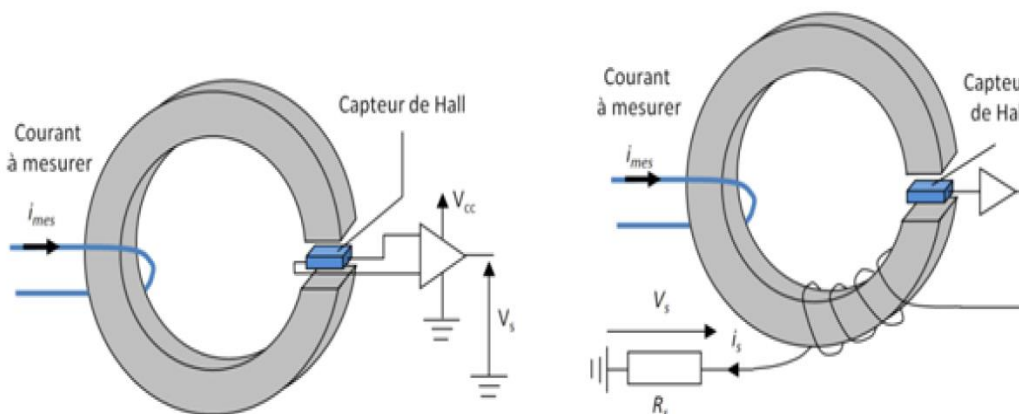


Figure I-14: Schéma de principe d'un capteur de Hall en boucle ouverte et en boucle fermée [08]

**Remarque :** Le transformateur de courant, la bobine de Rogowski et les Capteur à effet Hall peuvent être utilisés pour mesurer directement un courant. Pour mesurer la tension, il suffit d'ajouter une résistance de grande valeur en série à l'entrée de ce type de capteur.

Le tableau ci-après synthétise, les principales caractéristiques des capteurs présentés. Bien d'autres capteurs existent (Les fluxgates, Les capteurs AMR, GMR et TMR, capteurs à fibres optique (FOCS), magnéto-impédances géantes, SQUIDS (Superconducting Quantum Interference Devices) ...).

Capteurs	Lois physiques	Matériaux	Alimentation externe	Avantage	inconvénient
Shunt	Loi d'Ohm		non	robuste	Intrusif Inductance générée
Transformateur de courant	Théorème d'Ampère Loi de Lenz	Noyau ferromagnétique	non	Robuste et simple	Offset Uniquement les mesures AC
Bobine de Rogowski	Théorème d'Ampère Loi de Lenz	Noyau amagnétique	non	Facile d'installation Insensible au centrage	Uniquement les mesures AC
Capteur de Hall	Effet Hall	Transducteur semi conducteur	Oui, courant continu	Mesure AC et DC	Dérive en température
Magnétorésistance	Magnéto-résistance	Transducteur magnétique	Oui, courant continu	Miniature	
Fluxgate	Loi de lenz	Transducteur à noyau ferromagnétique doux	Oui, courant variable	Grande précision	

Tableau I-2: caractéristiques des capteurs de courant [08]

## I.7 LES APPAREILS DE COUPURE

Depuis les centrales de production, l'énergie électrique est acheminée jusqu'aux points de consommation par un réseau électrique schématisé sur la (figure 14).

Il est indispensable de pouvoir couper le courant en tout point du réseau pour des raisons d'exploitation et de maintenance ou pour protéger le réseau lorsqu'il y a un défaut. Il faut également pouvoir le rétablir dans diverses situations normales ou de défaut.

Pour cela on emploie des appareils de déconnexion dont le choix dépend de la nature des courants à couper et du domaine d'application (figure I.15). Ces courants peuvent être classés en trois catégories :

- Courants de charge, par principe inférieurs ou égaux au courant assigné  $I_r$ . Le courant assigné  $I_r$  est la valeur efficace du courant que le matériel doit être capable de supporter indéfiniment dans des conditions prescrites d'emploi et de fonctionnement.
- Courant de surcharge, lorsque le courant dépasse sa valeur assignée.
- Courant de court-circuit, lors d'un défaut sur le réseau, dont la valeur dépend de la puissance de la source, du type de défaut et des impédances amont du circuit.

De plus, que ce soit à l'ouverture, à la fermeture ou en service continu, tous ces appareils sont soumis à des contraintes :

- Diélectriques (tension),
- Thermiques (courants normaux et courants de défaut),
- Électrodynamiques (courant de défaut),
- Mécaniques.

Les contraintes les plus importantes sont liées aux phénomènes transitoires qui interviennent lors des manœuvres et lors des coupures avec arc électrique de courants de défaut. Cet arc a un comportement difficile à prédéterminer malgré les techniques actuelles de modélisation.

L'expérience, le savoir-faire et l'expérimentation contribuent donc toujours et dans la large mesure à la conception des appareils de coupure.

Ces appareils sont dits « électromécaniques » car, aujourd'hui encore, la coupure statique en moyenne et haute tension n'est pas technico économiquement envisageable. Et, parmi tous les appareils de déconnexion les disjoncteurs sont les plus intéressants car ils sont capables d'établir, de supporter et d'interrompre des courants dans des conditions normales et anormales (court-circuit).

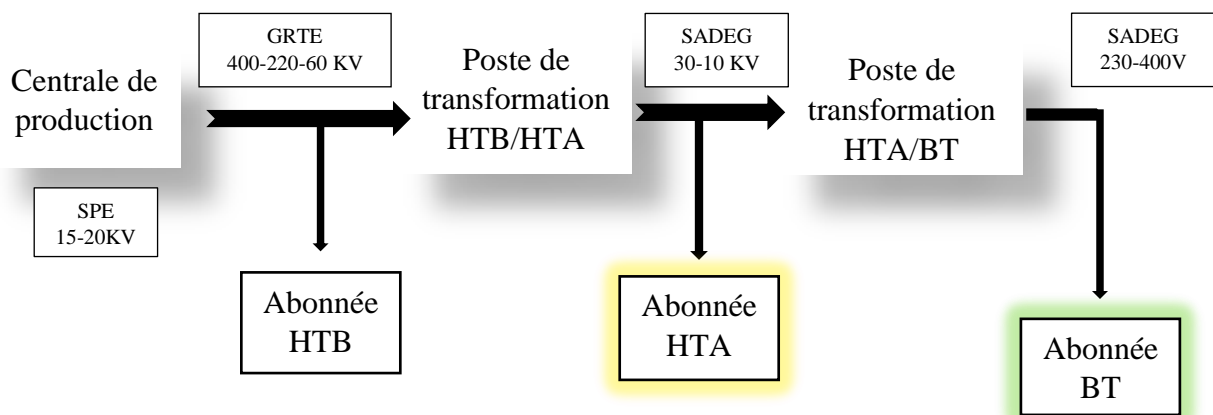


Figure I-15: schéma d'un réseau électrique [27]

	■ Définition CEI ■ Fonction	Fermer			Ouvrir			Isoler
		○	●	⚡	○	●	⚡	
<b>Sectionneur</b>	<p>■ Appareil mécanique de connexion qui assure, en position d'ouverture une distance de sectionnement satisfaisant à des conditions spécifiées.</p> <p>■ Destiné à assurer l'isolement de sécurité d'un circuit, il est souvent associé à un sectionneur de terre.</p>	oui	non	oui □	oui	non	non	oui
<b>Sectionneur de mise à la terre</b>	<p>■ Sectionneur spécial conçu pour raccorder des conducteurs de phase à la terre.</p> <p>■ Destiné à la sécurité en cas d'intervention sur les circuits, il relie les conducteurs actifs hors tension à la terre.</p>	oui	non	oui □	oui	non	non	non
<b>Interrupteur</b>	<p>■ Appareil mécanique de connexion capable d'établir, de supporter et d'interrompre des courants dans les conditions normales du circuit y compris éventuellement les courants de surcharge en service.</p> <p>■ Destiné à la commande (ouverture et fermeture) des circuits, il est souvent prévu pour assurer la fonction sectionnement. Sur les réseaux MT de distribution publique et privée il est fréquemment associé à des fusibles.</p>	oui	oui	oui	oui	oui	non	oui □
<b>Contacteur</b>	<p>■ Appareil mécanique de connexion ayant une seule position de repos, commandé autrement qu'à la main, capable d'établir, de supporter et d'interrompre des courants dans les conditions normales du circuit y compris les conditions de surcharge de service.</p> <p>■ Prévu pour fonctionner très fréquemment, il est principalement destiné à la commande de moteurs.</p>	oui	oui	oui	oui	oui	non	non
<b>Disjoncteur</b>	<p>■ Appareil mécanique de connexion capable d'établir, de supporter et d'interrompre des courants dans les conditions normales du circuit et dans les conditions anormales spécifiées du circuit telles que celles du court-circuit.</p> <p>■ Appareil de connexion d'usage général. Outre la commande de circuits il assure leur protection contre les défauts électriques. Il remplace les contacteurs pour la commande des gros moteurs MT.</p>	oui	oui	oui	oui	oui	oui	non

○ = à vide    ● = en charge    ⚡ = court-circuit    □ = selon les cas

Tableau I-3: les différents appareils de connexion, leurs fonctions et leurs applications [09]

**I.8 CONCLUSION :**

Après avoir défini les buts visés par les procédés de protection des installations électriques pour éliminer toute sorte de défauts, il est illustré pour nous l'importance et l'utilité des relais de protection pour atteindre ces objectifs, c'est la partie intelligente de l'ensemble de système de protection pour cela il faut qu'elle soit rapide, flexible, fiable et précise.

Dans le chapitre qui suit nous allons définir les différentes générations des relais de protection en donnant plus de détails pour les relais numériques.

**Chapitre II**  
**L'EVOLUTION DES**  
**RELAIS DE**  
**PROTECTION**  
**ELECTRIQUE**

## II. L'ÉVOLUTION DES RELAIS DE PROTECTION ÉLECTRIQUE

### II.1 INTRODUCTION

Grâce au développement technologique qui a touché tous les domaines, en particulier le domaine électronique, qui a ouvert une nouvelle voie vers la protection des réseaux électriques après avoir développé des microprocesseurs à haute puissance de calcul en termes d'opérations mathématiques et de décisions d'exploitation logiques qui nous ont permis d'assurer la protection nécessaire pour tous les réseaux contre tous les dysfonctionnements de toutes types. De plus, en définissant un groupe d'appareils autosurveillance pour enregistrer les données et diagnostiquer l'erreur localement. Tels que les relais de protection ...

### II.2 ÉVOLUTION DES RELAIS DE PROTECTION :

La séparation des circuits de commande des circuits des puissances à des fins d'isolement pour assurer la sécurité de l'opérateur est la première fonction des relais. Dans les systèmes de commutation on les trouva utilisés en très grande quantité. Autour de 1902 ils ont été basés sur le principe de surintensité. Ces premiers dispositifs ont non seulement dû détecter des conditions de panne, mais également ont dû produire du couple suffisant pour déclencher l'interrupteur sur lequel le système était fixé. La dernière condition a imposé des restrictions très graves à la sensibilité de ces dispositifs.

On peut classer l'évolution de ces relais en trois générations comme suite (figure II-1) :

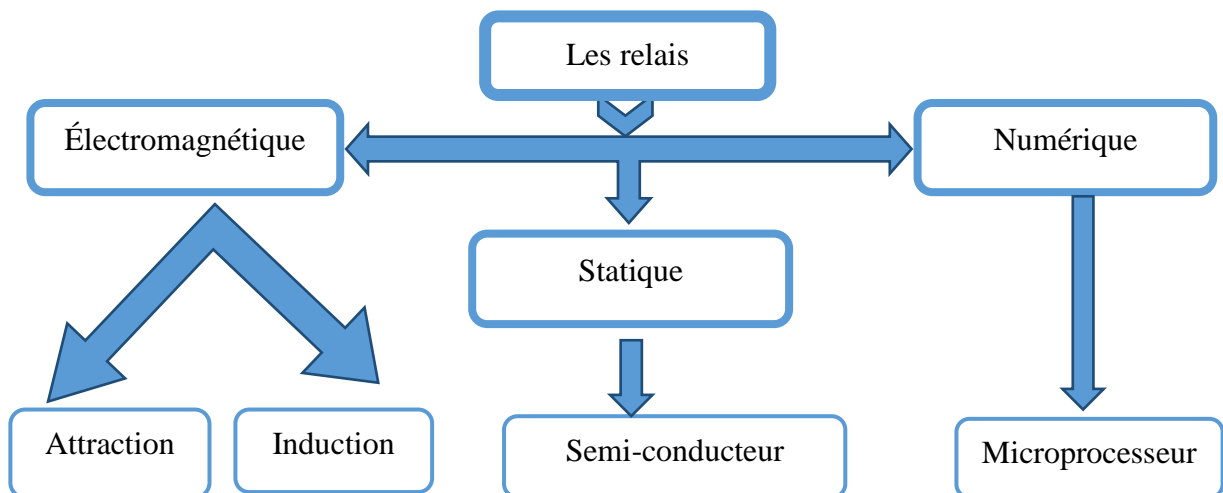


Figure II-1: types des relais [27]

#### II.2.1 RELAIS ÉLECTROMÉCANIQUES

Ils sont basés sur le principe d'un disque d'induction actionné par des bobines alimentées par les transformateurs de courant et de tension (Figure II.2). Un ressort de rappel réglable détermine la limite de l'action du disque sur un déclencheur. Les équipements électromécaniques sont des assemblages de fonctions : détection de seuils et temporisation. Ils avaient l'avantage d'être robustes, de fonctionner sans source d'énergie auxiliaire et d'être peu sensibles aux perturbations électromagnétiques. Ces relais se démarquent par leur solidité et leur grande fiabilité, pour cette raison, leur entretien est minime. Ils sont réputés pour leur fiabilité dans les environnements de travail les plus délicats. [02]



Figure II-2: Relais électromécaniques [26]

### II.2.2 RELAIS STATIQUES

La technologie statique analogique, apparue vers 1970, qui utilise des circuits intégrés analogiques et logiques a fait apparaître les relais analogiques qui sont composés grossièrement de trois blocs :

- Un bloc d'adaptation et de filtrage, constitué de petits transformateurs, d'impédances et de filtres passe-bas destinés à éliminer les composantes transitoires rapides.
- Un bloc de traitement et de détection, composé d'un circuit analogique adapté, transformant la grandeur surveillée en une tension ou un courant continu proportionnel, et d'une bascule servant à détecter le passage d'un seuil.
- Un bloc de sortie, comprenant un temporisateur, par exemple un circuit RC, et un relais de sortie électromécanique.

Les principaux avantages des relais analogiques sur les relais électromagnétiques sont leur sensibilité, leur précision, leur faible puissance de fonctionnement (quelques VA), et permettent de réduire les dimensions des transformateurs de courant. Par contre, ils nécessitent souvent une alimentation auxiliaire et leurs circuits analogiques sont affectés par les interférences électromagnétiques. [03]



Figure II-3: Un relais statique [26]

### II.2.3 RELAIS NUMÉRIQUES

La technologie numérique a fait son apparition au début des années 1980. Avec le développement des microprocesseurs et des mémoires, les puces numériques ont été intégrées aux équipements de protection. Les protections numériques, sont basées sur le principe de la



transformation de variables électriques du réseau, fournies par des transformateurs de mesure, en signaux numériques de faible tension. Ces dispositifs nécessitent une source auxiliaire, offrent un excellent niveau de précision et un haut niveau de sensibilité. Ils procurent de nouvelles possibilités, comme l'intégration de plusieurs fonctions pour réaliser une fonction de protection complète dans une même unité, le traitement et le stockage de données et l'enregistrement des perturbations du réseau (perturbographe). Cette génération intègre des possibilités d'autotest et d'autocontrôle qui augmente leur continuité de fonctionnement tout en réduisant la durée et la fréquence des opérations de maintenance [03].



Figure II-4:Un relais numérique ABB [26]

- Les relais numériques ont beaucoup d'avantages par rapport à ces prédécesseurs car ils sont :

**Économique, rapide, autocontrôler, fonctions multiples, temps mise en marche réduit, flexibles, petite taille et facile à les remplacés**

### II.3 PRINCIPE DE FONCTIONNEMENT D'UN RELAIS NUMÉRIQUE

Les relais numériques sont équipés d'un software (qui permet la communication et la programmation) et d'un hardware. Ce dernier admet un ou plusieurs microprocesseurs.

Tout le fonctionnement de l'acquisition des grandeurs mesurées (courant et tension) jusqu'à l'envoi des ordres au disjoncteur sont traités par voie numérique. Le principe de fonctionnement est les éléments de base d'un relais numérique sont résumés sur la Figure (II.5) :

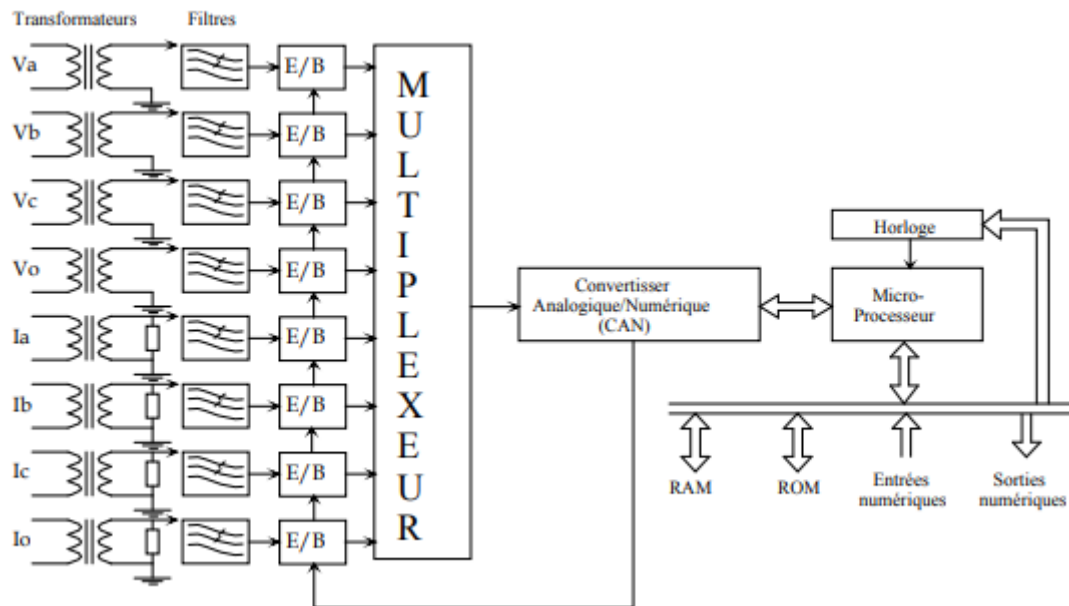


Figure II-5 Eléments de base d'un relais numérique [44]

- ✓ Acquisition des mesures courant et tension.
- ✓ Adaptation des signaux au niveau interne avec :
  - Découplage galvanique.
  - Suppression des bruits (filtrage).
  - Obtention de signaux analogiques prêts au traitement.
  - Amplification.
  - Echantillonneurs-bloqueurs.
  - Multiplexage.
  - Conversion analogique-numérique.
  - Modules de mémoires.
  - Transmission des données au bus du micro-processeur.
  - Traitement des signaux par les algorithmes de calcul et de filtrage numérique.
  - Traitement des signalisations (contacts, leds).
  - Traitement des entrées binaires.
  - Traitement des ordres de commandes.
- ✓ Le signal d'entrée est filtré puis échantillonné, et la mise au point d'algorithmes (placés sur mémoire EPROM) performants permet, sur base de la topologie de l'état des disjoncteurs (ouvert, fermé) ainsi que des tensions et courants mesurés d'en déduire une décision à prendre (ouverture de disjoncteurs). [44]

**II.3.1 FILTRE ANTI-REPLIEMENT :**

Dû aux limites pratiques des taux d'échantillonnage dans un relais numérique, le convertisseur analogique/numérique (CAN) est aveugle en dehors des moments où il fait sa conversion. A la réception de l'impulsion de l'horloge, le CAN achève sa conversion également en instantanée. Il y a donc perte de l'information contenue entre les impulsions. Le repliement (aliasing) spectral, est un phénomène qui change l'identité d'un signal lorsqu'il est échantillonné à une fréquence excessivement faible.

Pour éviter l'apparition de ces fréquences, il faut respecter le principe de la conduite de **Shannon** disant que l'échantillonnage d'un signal exige un nombre d'échantillons par unité de temps supérieur au double de l'écart entre les fréquences minimale et maximale qu'il contient ( $f_{ech} > 2*f_{max}$ ). Pour ce faire les relais sont équipés de filtre anti-repliement (filtre passe-bas).

Le filtre passe-bas peut être passif, réalisé par des résistances et des capacités exclusivement, les actifs sont réalisés par des amplificateurs opérationnels, elles permettent de réduire la taille des composants, ils sont donc préférables.

Les filtres passe-bas sont de très forte pente éliminant ainsi la partie haute fréquence des signaux qui embrouilleraient l'interprétation de l'analyse spectrale (Figure (II.6)).

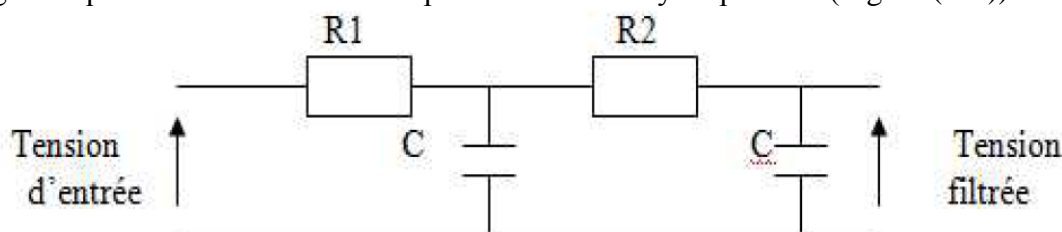


Figure II-6: Filtre anti-repliement analogique [44]

Pour une mesure correcte La présence d'un filtre anti-repliement analogique relié à la fréquence d'échantillonnage est donc indispensable. La fréquence de coupure du filtre anti-repliement doit être au plus égale à la moitié de la fréquence d'échantillonnage. [44]

**II.3.2 L'ÉCHANTILLONNAGE :**

L'échantillonnage est le processus par lequel les formes d'onde continues peuvent être montrées comme des valeurs discrètes est appelé échantillonnage. L'échantillonnage se fait par un circuit appelé un échantillonneur-bloqueur (S / B). Le processus d'échantillonnage est obligatoire pour la protection du microprocesseur afin de créer le nombre nécessaire par l'unité de traitement pour exécuter des calculs et de prendre des décisions relais. Le taux d'échantillonnage standard proposé pour le relais numérique est donné dans le tableau II.1.

<b>Nbr échantillons par cycle</b>	<b>Pour <math>f = 60</math> Hz</b>	<b>Pour <math>f = 50</math> Hz</b>
4	240	200
6	360	300
8	480	400
12	720	600
16	960	800
21	1440	1200
32	1920	1600

Tableau II-1: Taux d'échantillonnage standard proposé [44]

### II.3.3 MULTIPLEXAGE :

Pour n'utiliser qu'un seul convertisseur CAN on fera appel à un multiplexeur. C'est la technique permettant de faire passer plusieurs signaux analogiques sur une même voie. Il fait un aiguillage à sa sortie de ces signaux. A chaque impulsion de l'horloge, il met successivement en contact pendant une durée très courte le signal issu de chacune des voies avec le convertisseur. Le multiplexage (temporel) consiste à diviser le temps à des petits intervalles attribué à chaque signal. Il fonctionne comme un interrupteur ouvert, chargeant chacune des voies sur l'impédance d'entrée du système d'acquisition en permanence, mais n'assurant aucune liaison physique entre les voies et le convertisseur.

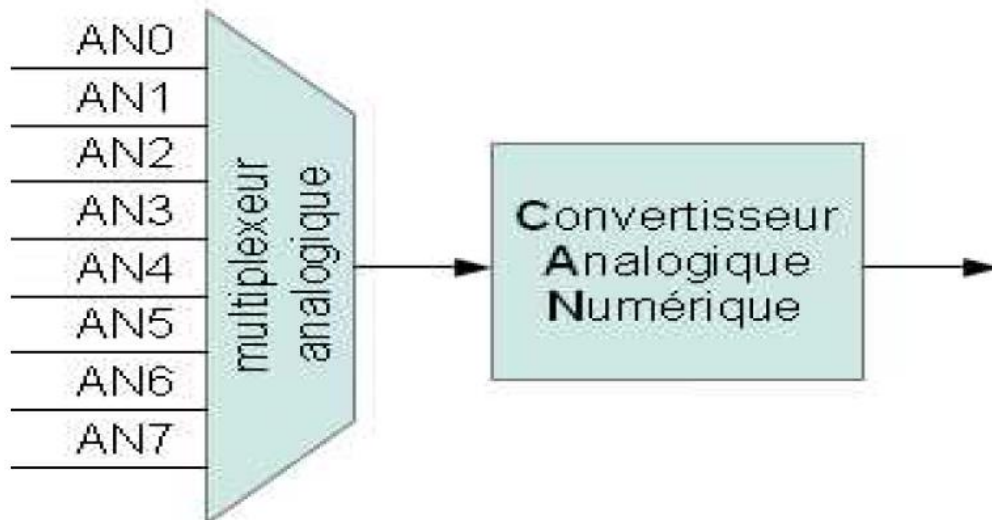


Figure II-7: multiplexeur analogique [44]

### II.3.4 CONVERSION ANALOGIQUE / NUMÉRIQUE CAN :

La conversion numérique d'un signal analogique comprend le prélèvement des échantillons de ce signal à des instants périodiques. Pour échantillonner un signal, on définit une période, appelée période d'échantillonnage, qui est l'écart de temps entre deux valeurs converties.

Cette période doit être adoptée convenablement courte pour que l'échantillonnage soit significatif. Elle ne doit pas non plus être trop petite, afin que la quantité d'informations ne soit pas trop grande. Le circuit assurant cette fonction est appelé échantillonneur/bloqueur (E/B), puisqu'il doit garder (bloquer) la valeur du signal d'entrée durant la période d'échantillonnage. A la sortie du E/B, le signal est encore analogique et continu en amplitude. Il s'agit encore d'une tension (en volts) qui peut prendre des valeurs quelconques. Le signal est ensuite numérisé par le Convertisseur Analogique/Numérique (CAN).

La tension d'entrée analogique inconnue  $V_{in}$  est comparée à un fragment de la tension de référence  $V_r$ . Cette comparaison est effectuée  $n$  fois avec des fractions différentes de  $V_r$  de sortie numérique à  $n$  bits. La valeur d'un bit particulier est mise à 1, si  $V_{in}$  est supérieure à la fraction de l'ensemble de  $V_r$  et est mis à 0, si  $V_{in}$  est inférieure à la fraction de consigne de  $V_r$ .

La conversion analogique /numérique peut être divisée en trois étapes : **L'échantillonnage temporel, la quantification et le codage.**

Ces trois étapes de la CAN sont représentées successivement sur la (figure 8) dont la sortie du signal numérique est sur 3 bits :

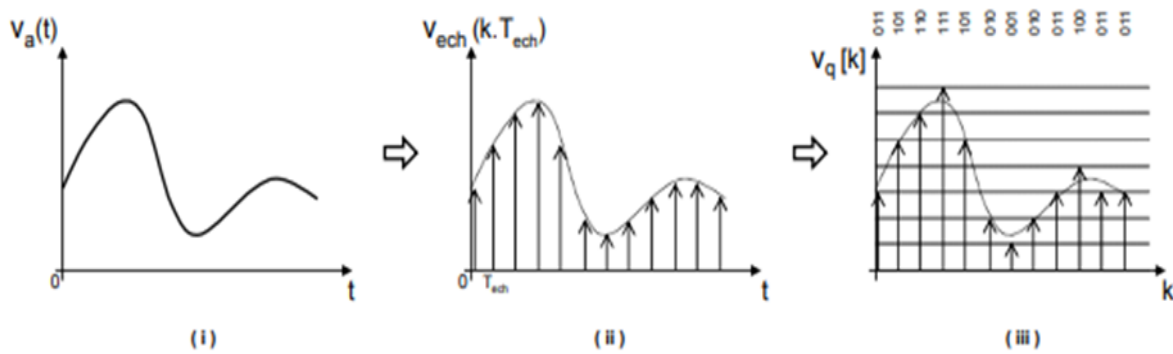


Figure II-8: représentation des étapes de la conversion A/N [05]

(i) signal analogique                      (ii) signal échantillonné                      (iii) puis quantifié.

Un signal analogique,  $V_a(t)$  continu en temps et en amplitude (i) est échantillonné à une **période d'échantillonnage** constante ( $T_{ech}$ ). On obtient alors un signal échantillonné  $V_{ech}(k.T_{ech})$  discret en temps et continu en amplitude (ii). Ce dernier est ensuite quantifié, on obtient alors un signal numérique  $V_q[k]$  discret en temps et en amplitude (iii). La quantification est liée à la **résolution** du CAN (son nombre de bits). [2]

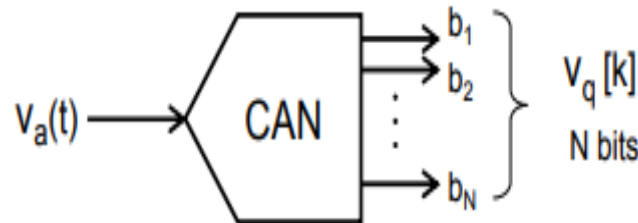


Figure II-9: CAN convertisseur analogique numérique [05]

### II.3.5 MICROPROCESSEUR :

Le microprocesseur est le cœur du relais numérique, c'est lui qui exécute le programme de l'algorithme choisi pour la détection ou la localisation des défauts.

Un microprocesseur est un composant électronique minuscule, fabriqué le plus souvent en silicium, qui regroupe un certain nombre de transistors élémentaires interconnectés. Le microprocesseur exécute les fonctions de l'unité centrale d'ordinateur (CPU). Il interprète les instructions et traite les données du programme. Il est capable d'effectuer séquentiellement et automatiquement des suites d'opérations élémentaires. C'est un circuit intégré complexe appartenant à la famille des VLSI (Very large scale intégration).

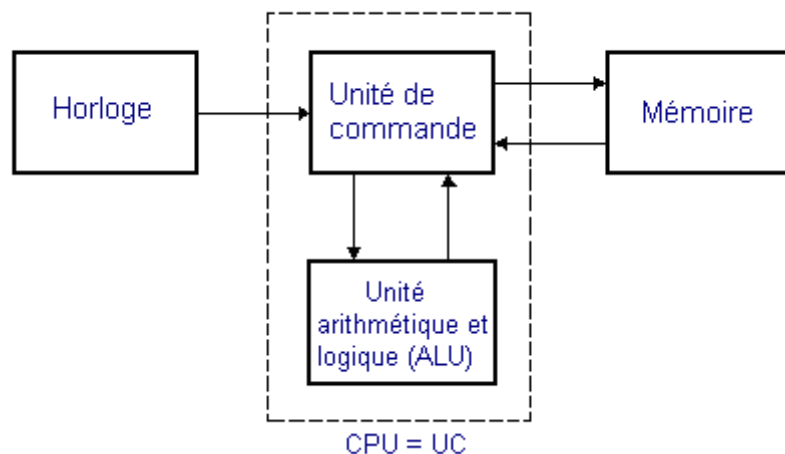


Figure II-10 : schéma bloc d'un processeur [26]

## II.4 PROPRIÉTÉS ET AVANTAGE DES RELAIS NUMÉRIQUES :

### II.4.1 PROPRIÉTÉS DES RELAIS NUMÉRIQUE

Les propriétés des relais numérique sont :

- Traitement numérique complet de l'échantillonnage des valeurs de mesure.
- Gammes de réglage extrêmement vastes et paliers précis pour les réglages de valeurs de mesure et de temps.
- Autorisation de réglage à l'aide d'un mot de passe pour éviter toute action hostile. Le mot de passe défini par l'utilisateur, lui-même.
- Auto surveillance permanente du logiciel et du support informatique.
- Possibilité d'échanges de données avec une centrale de contrôle commande grâce à l'interface **RS485**.
- Large domaine de tensions d'alimentation (**CA/CC**).
- Composants de précision et garantie surdimensionnée : - Précision - Durée de vie – Fiabilité. [3]

### II.4.2 AVANTAGE DES RELAIS NUMÉRIQUES :

- La localisation précise des défauts, même sur les lignes en parallèle, avec les autres renseignements sur les défauts, permet de réduire la durée d'indisponibilité.
- Les renseignements précis sur les défauts permettent leur analyse approfondie.
- Une simple commande permet de passer d'un groupe de réglage à un autre.
- La fonction d'autodiagnostic réduit les coûts de maintenance. Le relais peut être interfacé avec des protections existantes.
- Le relais remplit également le rôle de base d'un **SCADA**, sans coût supplémentaire.
- Intégration de plusieurs fonctions de protection dans un boîtier compact
- Haute précision de mesure par le procédé numérique
- Réglage numérique vaste et nombreux paliers précis
- Paramétrage facile grâce à l'affichage, aux diodes et aux touches
- Indication des données de mesure et des défauts par l'afficheur alphanumérique
- Echange de données avec le contrôle commande au moyen de ports sériels.
- Sécurité de fonctionnement par l'auto surveillance permanente De la même manière, vous trouverez disponible chez SEG, la gamme Professional line qui est une version simplifiée, avec des fonctions plus limitées.
- Une large gamme de modèles permet une adaptation précise à chaque application.

- L'interrogation à distance évite les déplacements trop fréquents sur le site.
  - La localisation précise des défauts, même sur les lignes en parallèle, avec les autres renseignements sur les défauts, permet de réduire la durée d'indisponibilité.
  - Les renseignements précis sur les défauts permettent leur analyse approfondie.
  - Une simple commande permet de passer d'un groupe de réglage à un autre.
  - La fonction d'autodiagnostic réduit les coûts de maintenance.
  - Le relais peut être interfacé avec des protections existantes.
  - Le relais remplit également le rôle de base d'un SCADA, sans coût supplémentaire.
- [3]

### II.5 PROBLÈMES POSÉS PAR LES PROTECTIONS NUMÉRIQUES :

#### II.5.1 FIABILITÉ DU LOGICIEL :

Si la fiabilité des composants est à l'heure actuelle assez bien maîtrisée, en ce sens que l'on sait mettre en œuvre les moyens nécessaires pour arriver à un niveau de fiabilité spécifié, il est par contre impossible pour le moment de chiffrer la fiabilité d'un logiciel ; il est tout au plus possible de l'apprécier qualitativement au moyen de métriques. Cependant, on connaît bien maintenant les méthodes à mettre en œuvre pour étudier et réaliser un logiciel de bonne qualité. [21]

#### II.5.2 DIALOGUE HOMME MACHINE :

Dans sa version la plus exploitée, la protection numérique n'a besoin que d'un connecteur de liaison série pour dialoguer avec l'extérieur au moyen d'une console de visualisation. Ce moyen de communication est souvent jugé insuffisant par l'exploitant qui souhaite connaître l'état de la protection localement sans l'aide d'une console ou d'un ordinateur portable.

Les constructeurs ont été ainsi amenés à équiper les protections numériques d'un terminal face avant composé d'un écran simplifié permettant d'afficher 1 ou 2 lignes de 16 à 40 caractères alphanumériques et de quelques touches pour pouvoir faire défiler sur l'écran un menu déroulant, un dialogue plus complet restant toujours possible à l'aide d'une console ou d'un ordinateur portable. Par ailleurs, une sortie liaison série permet le raccordement à l'aide d'un modem de la protection numérique à une voie téléphonique standard. La protection peut être ainsi interrogée et même programmée à distance.

De plus, certaines protections disposent de connecteurs optiques pour se raccorder à un réseau local de terrain sur fibre optique ou à d'autres équipements numériques en vue d'échange d'informations numériques à grand débit. [3]

### II.6 CONCLUSION :

Depuis la Deuxième révolution industrielle et le gigantesque bouleversement qu'a fait la maîtrise de l'électricité au monde et le développement des systèmes de protection et de sécurité contre son mauvais contrôle, jusqu'à l'arrivée de la troisième révolution industrielle entraînée par le numérique et qui continue de se répandre, le monde de l'industrie

à beaucoup évoluer grâce à ces relais numériques qui ont participé à grande échelle dans ce développement. Mais puisque il n'est pas possible d'arrêter l'évolution, le défi qui nous attend est la quatrième génération de cette révolution qui provoque l'intelligence artificielle (IA) qui est déjà là et à l'aube d'un développement spectaculaire, à tel point que les gouvernements commencent à se préparer au Tsunami qu'elle va provoquer. Les processeurs seuls ne peuvent pas répondre au besoin de ces exagérations, peut être le développement des FPGA vont jouer un rôle très important à l'avenir de la plupart des équipements industriels, les robots, les équipements médicaux et militaires.

## CHAPITRE II L'EVOLUTION DES RELAIS DE PROTECTION ELECTRIQUE

---

Dans le chapitre qui suit nous allons amasser les principales notions sur le monde des circuits logiques programmables et compris les FPGA



**Chapitre III**  
**LES CIRCUITS**  
**LOGIQUES**  
**PROGRAMMABLES**

### III. LES CIRCUITS LOGIQUES PROGRAMMABLES

---

#### III.1 INTRODUCTION

Il y a quelques années la réalisation d'un montage en électronique numérique impliquait l'utilisation d'un nombre important de circuits intégrés logiques. Ceci avait pour conséquences un prix de revient élevé, une mise en œuvre complexe et un circuit imprimé de taille importante. En effet, de nos jours, un circuit intégré comporte plus de dix milles portes, voire plusieurs millions de portes, sur la même puce de silicium. Le développement des micro-processeurs et les mémoires utilisées en informatique fut à l'origine des premiers circuits logiques programmables (PLD : Programmable Logic Device). Le terme PLD désigne l'ensemble des circuits programmables par l'utilisateur. Ils offrent une grande souplesse d'utilisation, un délai de mise en œuvre très courte et la possibilité de reprogrammer le circuit sans le retirer de la carte sur laquelle il est câblé (ISP).

#### III.2 PRESENTATION DE LA LOGIQUE PROGRAMMEE [11]

Les circuits logiques programmables sont utilisés pour remplacer l'association de plusieurs boîtiers logiques. Le câblage est simplifié, l'encombrement et le risque de pannes est réduit. Ces circuits disposent d'un certain nombre de broches d'entrées et de sorties. L'utilisateur associe ces broches aux équations logiques plus ou moins complexes qu'il programme dans le circuit. Sa mise en œuvre se fait très facilement à l'aide d'un programmeur, d'un micro-ordinateur et d'un logiciel adapté.

Pour des moyennes séries, les composants programmables sont en général préférés aux ASIC. Elles peuvent être programmés par l'utilisateur alors que les ASIC (application specific integrated circuit) qui sont configurés lors de leur fabrication ces circuits spécifiques offrent une densité d'intégration très grande et l'impossibilité de modifier la fonction à réaliser. Sont réservés à des productions de très grande série en raison de leur coût de développement élevé. Ceci a conduit les fabricants de circuits numériques, à proposer de nouveaux circuits programmables par l'utilisateur (sans passage par le fondeur), et qui sont devenus au fil des années, de plus en plus évolués, rassemblés sous le terme générique PLD.

Les circuits programmables par l'utilisateur se décomposent en deux familles :

- Les PROM, les PAL, les PLA, les GAL et les EPLD.
- Les FPGA.

Initialement, les FPGA ont été conçus pour compléter la conception des circuits ASIC en fournissant la reprogrammation sur la dépense de la dissipation de puissance, la surface de la puce et de la performance. L'intérêt suscité par les FPGAs est dû essentiellement à leurs prix abordables, la facilité de leur mise en œuvre et leur flexibilité. En outre, les coûts fixes et les délais de fabrication, en comparaison avec les circuits spécifiques (ASIC), sont totalement éliminés. Cependant, ils présentent une faible densité d'intégration de portes logiques et atteignent des fréquences de travail relativement faibles devant les ASICs.

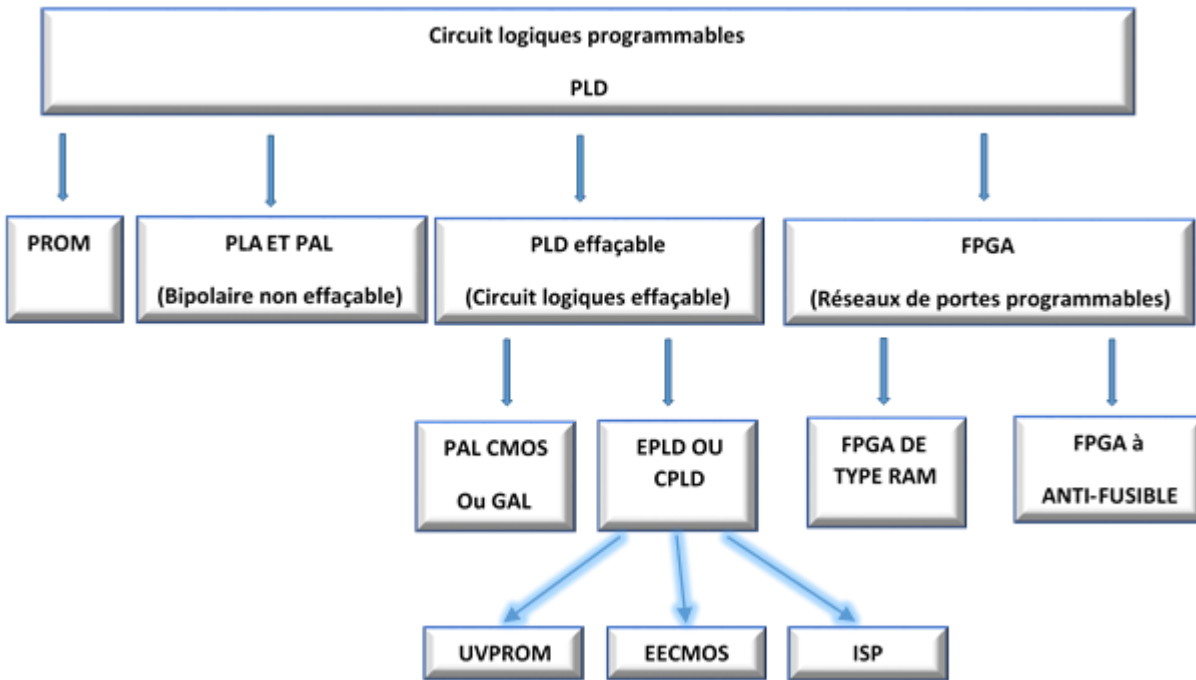


Figure III-1: Circuits logiques programmables [27]

### III.2.1 STRUCTURE DE BASE D'UN PLD

Etant donné que toute fonction logique peut être exprimée comme une somme de produits logiques (mintermes), la structure de base des premiers circuits programmables est formée par une matrice **ET** suivie d'une matrice **OU**. L'une des deux matrices, ou les deux, est programmable (figure III.2)

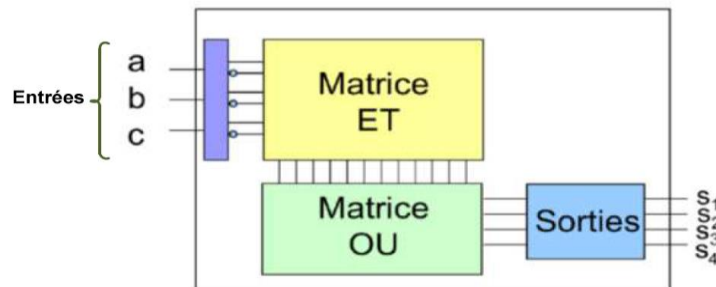


Figure III-2: structure de base des premiers circuits programmables [19]

Une matrice programmable est un ensemble de portes logiques dont les entrées sont connectées aux variables des systèmes, vrais et inversées, au moyen d'un réseau de fusibles. Lorsqu'un fusible est brûlé, la connexion respective entre la variable et la porte logique disparaît. La programmation du système se fait en choisissant les fusibles que l'on laisse et que l'on brûle. Ce qui revient à dire, qu'un circuit PLD est formé essentiellement de deux matrices (AND) et (OR), dont les interconnexions doivent être programmables comme il est indiqué sur la figure (III.3)

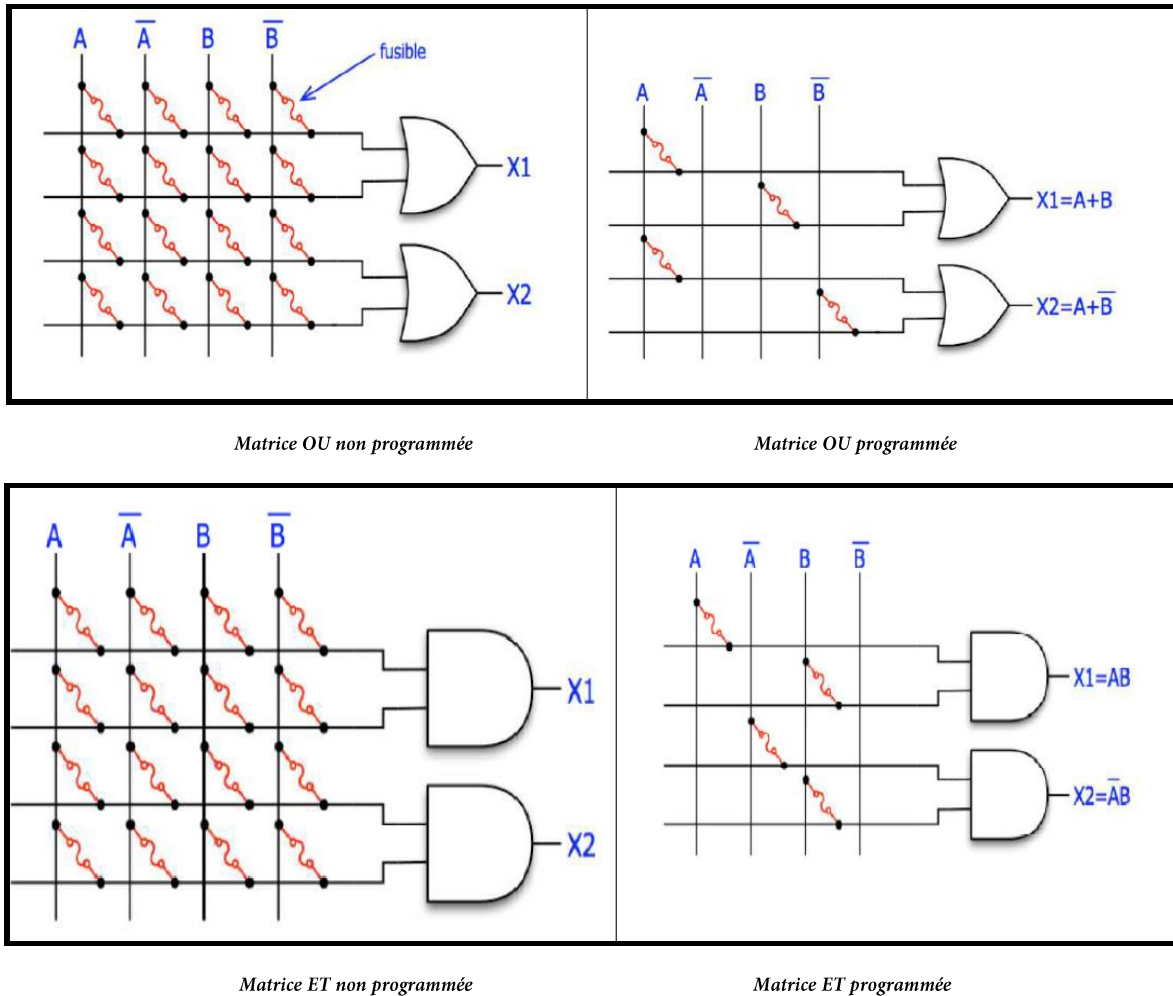


Figure III-3: Structure de base d'un PLD [11]

Selon le caractère programmable des matrices ET et OU, il existe trois types de circuits logiques programmables :

- **PROM** (*Programmable Read-Only Memory*) : la matrice ET est fixe et la matrice OU est programmable. C'est une mémoire
- **PAL** (*Programmable Array Logic*) : matrice ET programmable suivie d'une matrice OU fixe.
- **PLA** (*Programmable Logic Array*) : les deux matrices sont programmables.

Les circuits PALs sont les PLDs les plus courants : les PROMs sont utilisées en tant que mémoires et les PLAs sont très peu utilisés à cause de leur nombre élevé de fusibles, ce qui amène une grande consommation de puissance et de long délai.

### III.2.2 TECHNOLOGIES UTILISÉES POUR LES INTERCONNEXIONS :

La technologie utilisée pour matérialiser les interconnexions détermine les aspects électriques de la programmation :

- Maintenabilité ou non de la fonction programmée en absence de l'alimentation.
- Possibilité ou non de modifier la fonction programmée.
- Nécessité ou non d'utiliser un appareil spécial (un programmeur).

Parmi les technologies qui existent, on site :

### III.2.2.1 Interconnexion Fusibles :

Première méthode employée, la connexion par fusibles, est en voie de disparition. On ne la rencontre plus que dans quelques circuits de faible densité et de conception ancienne. La figure 3 illustre ce genre d'interconnexions. Toutes les connexions sont établies à la fabrication. Lors de la programmation le circuit est placé dans un mode particulier par le programmeur, mode dans lequel des impulsions de courant sont aiguillées successivement vers les fusibles à détruire.

### III.2.2.2 Interconnexion par anti-fusible :

Avec cette technique, c'est l'opération inverse qui est réalisée. On ne coupe pas une liaison, mais on l'établit. L'anti-fusible isole deux lignes métalliques placées sur deux niveaux différents grâce à une fine couche d'oxyde de silicium comme indiqué sur la figure 4. Si on applique une impulsion élevée ( $\approx 21V$ ) calibrée en temps (moins de 5 ms), la couche d'oxyde est trouée et les deux lignes se retrouvent en contact. Le boîtier n'est programmable qu'une seule fois par l'utilisateur. Cette méthode est peu utilisée.

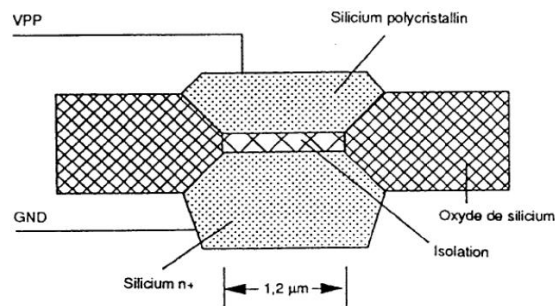


Figure III-4: Principe de l'anti-fusible [11]

### III.2.2.3 La technologie SRAM :

Elle est composée de six transistors ce qui est une taille élevée comparée aux autres technologies. Les connexions sont réalisées en rendant les transistors passants. Cette technologie permet une reconfiguration rapide du circuit PLD. Cependant, son principal inconvénient est la surface nécessaire pour la SRAM. En plus de la taille de la cellule, la SRAM a l'inconvénient d'être volatile, c'est-à-dire qu'elle perd sa donnée lorsqu'elle est hors tension. Il faut donc ajouter une mémoire annexe (une mémoire FLASH) pour stocker la configuration et la charger lors de chaque mise sous tension.

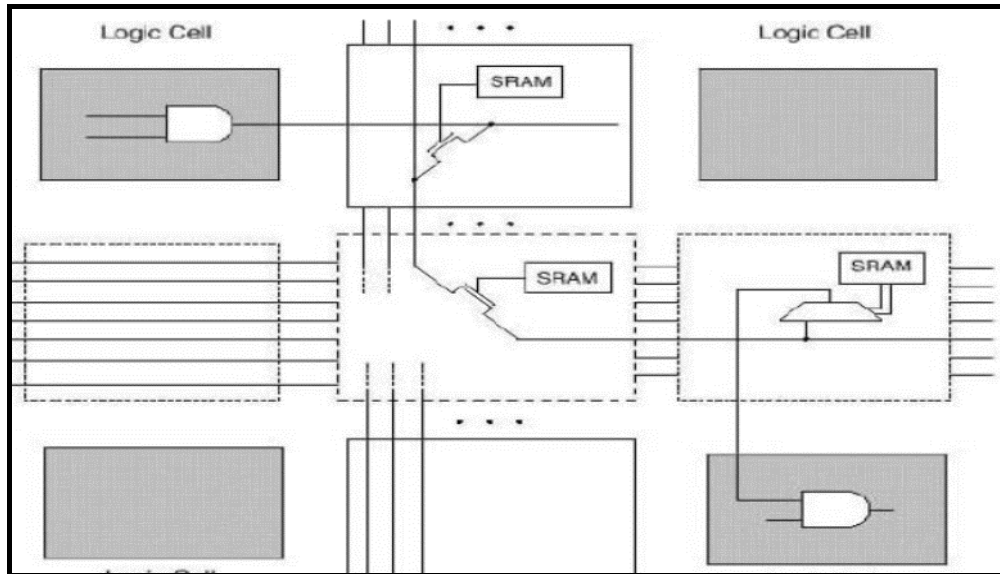


Figure III-5: technologies SRAM [16]

### III.2.2.4 La technologie Flash :

Cette technologie est limitée en nombre de reconfigurations et possède un temps de configuration plus long par rapport à la technologie SRAM. Elles ne peuvent pas être reprogrammées plus de 500 à 1000 fois. Une cellule mémoire Flash est principalement composée d'un transistor avec une grille flottante, dont l'état « chargé » ou « non-chargé » modifie la tension de seuil. Cette valeur de tension de seuil détermine la valeur stockée dans la cellule. Parfois, la cellule est composée d'un seul transistor pour la programmation et d'un transistor utilisé comme interrupteur. L'avantage de cette technologie est qu'elle garde sa configuration même si l'alimentation est enlevée.

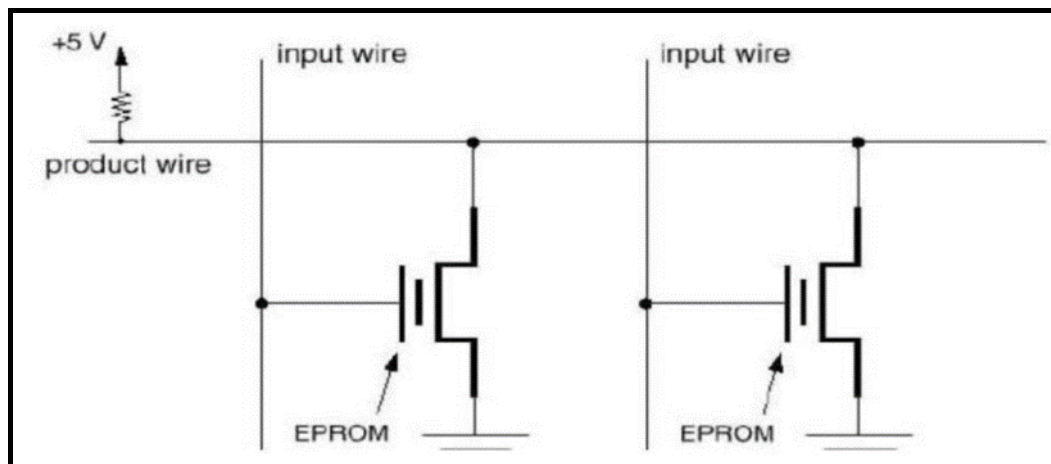


Figure III-6: technologies Flash [16]

### III.2.3 REPRÉSENTATION ET SYMBOLISATION

La figure ci-dessous représente la structure simplifiée d'un PAL (2 entrées et 1 sortie).

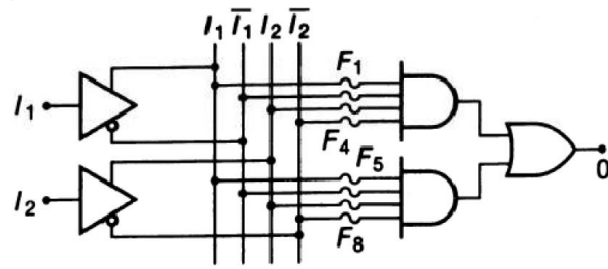


Figure III-7: représentation schématique classique [11]

Cette représentation schématique demande beaucoup d'espace pour représenter un PAL en entier. Les industriels ont adopté la représentation symbolique suivante :

Circuit normal	Circuit équivalent

Tableau III-1 : représentation symbolique adopté [11]

D'où les représentations symboliques deviennent figure (III.8) :

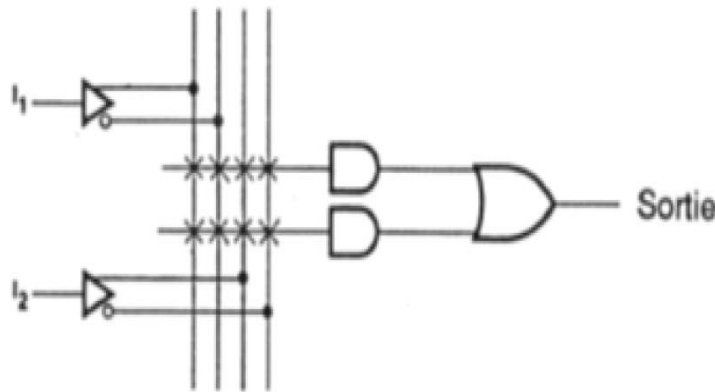


Figure III-8: nouvelle représentation symbolique [11].

### III.2.4 CIRCUIT PROM (PROGRAMMABLE READ ONLY MEMORY) :

Les premiers circuits programmables apparus sur le marché sont les PROM bipolaires à fusibles. En effet les constructeurs se sont inspirés du circuit ROM, qui permettait uniquement le stockage de données, pour le rendre plus utile en lui ajoutant la possibilité d'être programmé, ce

qui donne naissance au circuit PROM constitué d'un réseau AND, fixe et d'un réseau OR programmable.

On donne l'exemple d'une structure logique d'une PROM bipolaire à fusibles sur la Figure.9. Dans cet exemple, Chaque sortie ( $O_i$ ) peut réaliser une fonction OU de 16 termes produits de certaines combinaisons des 4 variables d'entrées A, B, C et D. Avec les circuits PROM, les fonctions logiques programmées sont spécifiées par les tables de vérité. Il suffit de mettre les variables d'entrées sur les adresses et de récupérer ensuite la fonction logique sur le bit de donnée correspondant. Le temps de propagation est indépendant de la fonction implantée (c'est le temps d'accès de la mémoire)

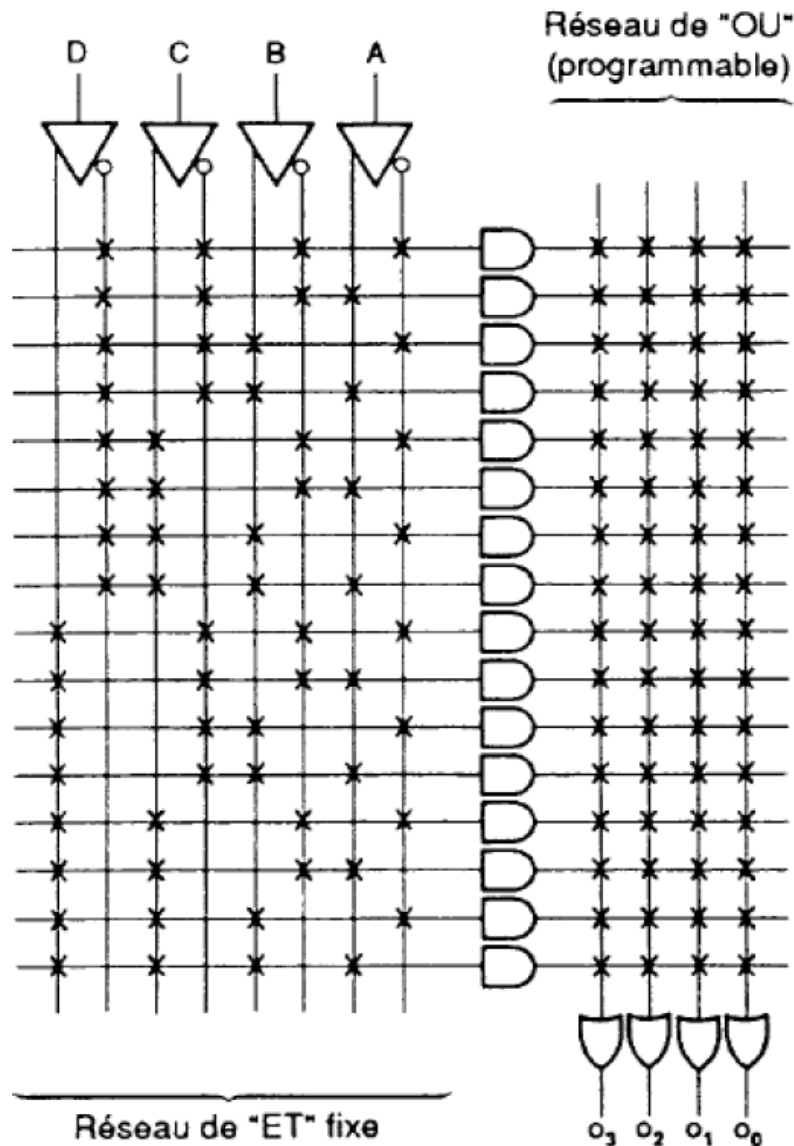


Figure III-9: Structure d'un circuit PROM [10]

### III.2.5 CIRCUIT PLA (PROGRAMMABLE LOGIC ARRAY) :

Juste après la création du circuit PROM, le concept du PLA a été introduit en se basant sur la technique des fusibles des PROM bipolaires. La programmation consiste à faire sauter ces



fusibles pour la réalisation des fonctions logiques. Un circuit PLA est constitué d'un réseau de "ET" programmable et d'un réseau de "OU" programmable ce qui nous offre une possibilité de programmation assez large et assez souple du moment qu'on peut manipuler les deux matrices AND et OR. Cependant, il s'avère inutile d'avoir autant de possibilité de programmation d'autant que les fusibles prennent beaucoup de place sur le silicium. Ces circuits n'ont pas réussi à entrer dans le marché des circuits programmables et la demande c'est dirigé plutôt vers les circuits PAL.

### **III.2.6 CIRCUIT PAL (PROGRAMMABLE ARRAY LOGIC) :**

Ce type de circuit a été introduit par le constructeur AMD dans les années 80. Son architecture a été conçue à partir d'observations indiquant qu'une grande partie des fonctions logiques ne demande que quelques termes produits par sortie. Sa structure est donc obtenue par un réseau AND qui est programmable, et un réseau OR fixe. La fusion des fusibles est obtenue en appliquant à leurs bornes une tension de 11.5v pendant un laps de temps de 10 à 50 s. L'avantage de cette architecture est l'augmentation de la vitesse par rapport aux PLA.

En effet, comme on diminue au niveau du nombre de connexions programmables, on arrive à faire réduire la longueur des lignes d'interconnexion, et donc le temps de propagation entre une entrée et une sortie devient beaucoup plus faible.

Cependant, et comme nous l'avons déjà mentionné, les PAL sont programmés par destruction de fusibles. Ils ne sont donc **programmables qu'une fois**, ce qui peut être gênant en phase de développement.

### **III.2.7 CIRCUIT EPLD (ERASABLE PROGRAMMABLE LOGIC DEVICE) :**

Les circuits EPLD (Erasable Programmable Logic Device), c'est à dire circuits logiques programmables et effaçables soit par exposition aux UV soit électriquement, sont une évolution importante des PAL CMOS. En effet ils sont basés sur le même principe et utilisent la macro cellule dans leurs structures pour la réalisation des fonctions logiques combinatoires ou séquentielles.

Un exemple de schéma d'une macro-cellule de base d'un EPLD est présenté sur la figure (III.10).

On remarque que le réseau logique est composé de 3 sous-ensembles :

- Le réseau des signaux d'entrées provenant des broches d'entrées du circuit.
- Le réseau des signaux des broches d'entrées/sorties du circuit.
- Le réseau des signaux provenant des autres macro-cellules.

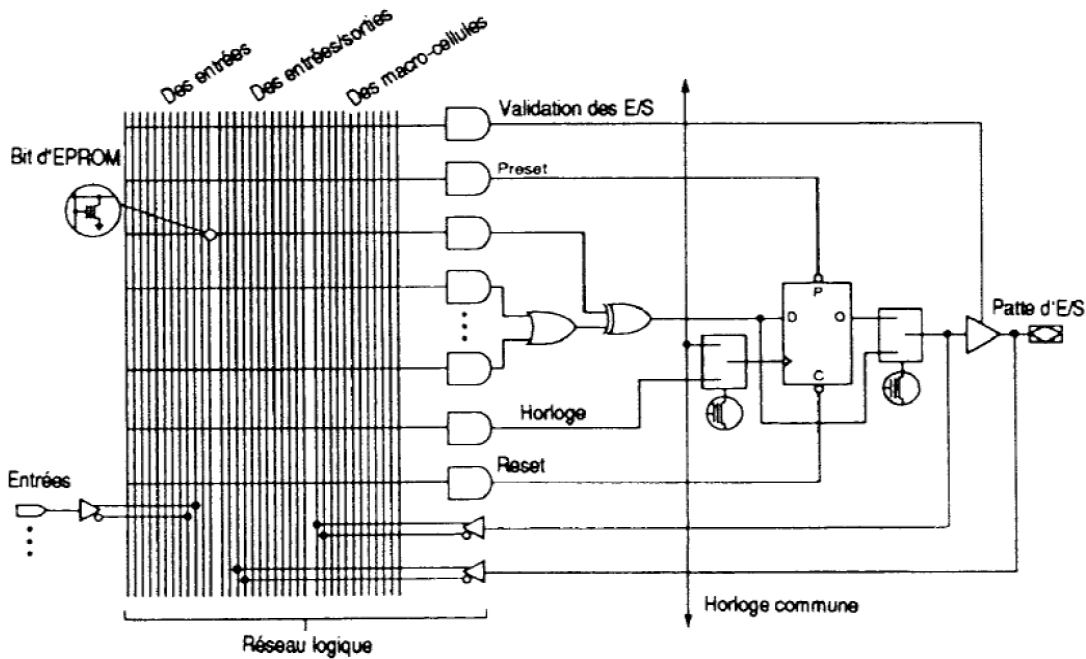


Figure III-10: Macro cellule de base d'un EPLD [10]

Outre la logique combinatoire, la macro-cellule possède une bascule D configurable. Cette bascule peut être désactivée par programmation d'un multiplexeur. Le signal d'horloge peut être commun à toutes les macro-cellules, ou bien provenir d'une autre macro-cellule via le réseau logique. Quel que soit la famille d'EPLD, la fonctionnalité de la macro-cellule ne change jamais.

Plusieurs types d'EPLD existent en technologie CMOS, on site :

- Les circuits programmables électriquement et non effaçables et qui sont du type OTP (One Time Programmable).
- Les circuits programmables électriquement et effaçables aux UV (obsolètes).
- Les circuits programmables électriquement et effaçables électriquement dans un programmeur.
- Les circuits programmables électriquement et effaçables électriquement sur la carte (ISP : In System Programmable), utilisant une tension unique de 5V.

### III.2.8 SIMPLE PROGRAMMABLE LOGIC DEVICE (SPLD) :

Les circuits SPLDs ont été à l'origine des PLD. Ils sont toujours disponibles pour les applications à petite échelle. Généralement, un SPLD peut remplacer jusqu'à dix circuits intégrés à fonction fixe et leurs interconnexions. La plupart des SPLDs sont représentés par les deux catégories : PAL et GAL (voir figure III.11).

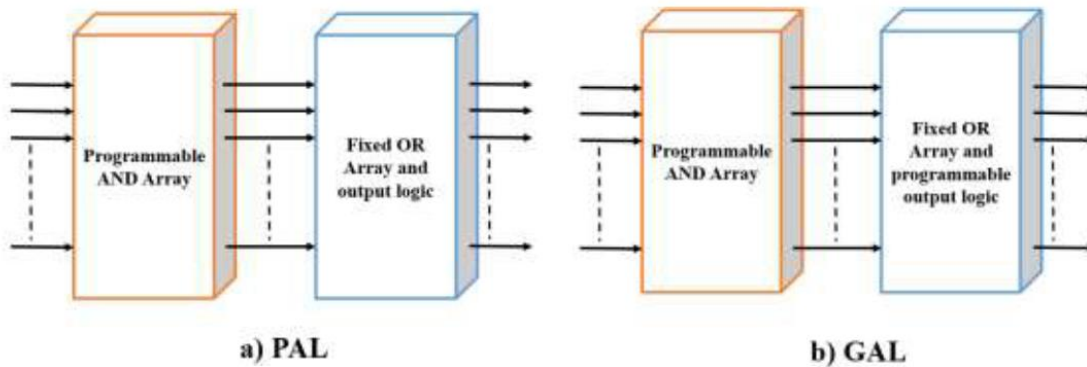


Figure III-11: Schémas synoptiques des SPLDs [20].

### III.2.9 RÉSEAU LOGIQUE DE PORTES GAL :

Pour résoudre le principal désavantage du PAL, le constructeur Lattice Semiconductors a introduit le Gate Array Logic (GAL) (Réseau logique de portes), que l'on pourrait traduire aussi par « Réseau logique Générique » en remplaçant les fusibles irréversibles des PAL par des dispositifs appelés (Floating Gate Transistors (FGMOS)). Ces circuits peuvent donc être reprogrammés à volonté sans pour autant avoir une durée de vie restreinte. La structure de base est donc la même que celle des PAL, matrice ET programmable matrice OU fixe comme indiqué sur la figure III.12.

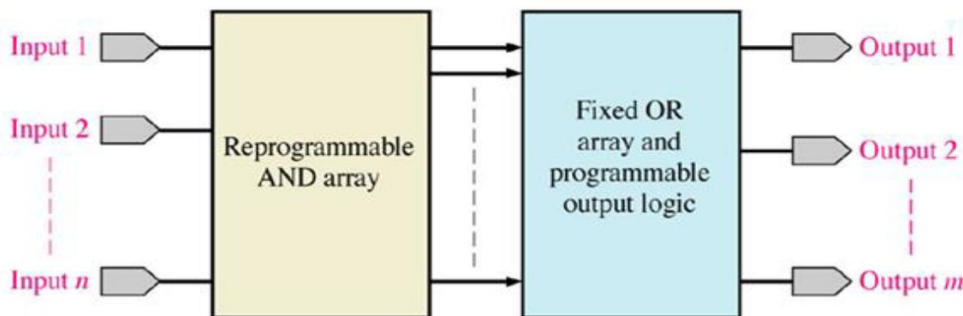


Figure III-12: Structure interne d'un circuit GAL [11].

Au niveau de la structure interne, les GAL sont constitués de transistor CMOS alors que les PAL classiques sont constitués de transistors bipolaires.

Il est introduit dans la structure de sorties des circuits GAL des macros cellules programmables qui rendent le circuit **versatile**, ce qui veut dire qu'il est possible, par programmation, de choisir entre une configuration de sortie combinatoire ou une configuration de sortie séquentielle.

La possibilité de multiprogrammation des GAL est obtenue en utilisant des transistors à effet de champ à structure MOS (Métal-Oxyde-Semi-conducteur) avec une grille supplémentaire flottante figure.12.

Dans un transistor MOS classique la grille est utilisée pour induire un canal entre la source et le drain et les transistors MOS sont des interrupteurs, commandés par une charge électrique stockée sur leur électrode de grille. Si, en fonctionnement normal, cette grille est isolée, elle conserve sa charge éventuelle éternellement. Il reste au fondeur de trouver un moyen pour modifier cette charge et programmer l'état du transistor.

Le dépôt d'une charge électrique sur la grille isolée d'un transistor fait appel à un phénomène connu sous le nom d'effet tunnel : un isolant très mince soumis à une différence de potentiel

suffisamment grande (une dizaine de volts, supérieure à 3,3 ou 5 volts des alimentations classiques) est parcouru par un courant de faible valeur, qui permet de déposer une charge électrique sur une électrode normalement isolée. Ce phénomène, réversible, permet de programmer et d'effacer le circuit.

Le transistor à grille isolée est programmé pour être toujours conducteur ou toujours bloqué ; on retrouve exactement la fonction du fusible et la réversibilité en plus.

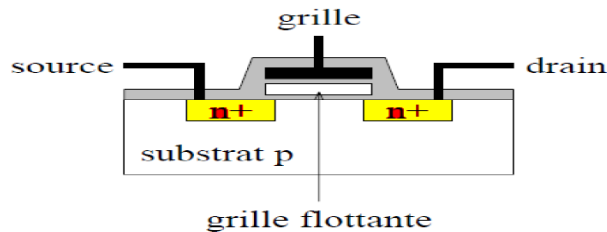


Figure III-13: Transistor MOS utilisé dans les circuits GAL [11].

### III.2.10 COMPLEX PROGRAMMABLE LOGIC DEVICE (CPLD).

Le CPLD est un dispositif contenant plusieurs SPLDs et peut remplacer de nombreux circuits intégrés à fonction fixe. La figure 13 montre un schéma synoptique d'un CPLD basique avec quatre LABs (Logic Array Blocks) et une PIA (Programmable Interconnection Array). En fonction de la CPLD spécifique, il peut y avoir de deux à soixante-quatre LABs. Chaque LAB est à peu près équivalent à un SPLD.

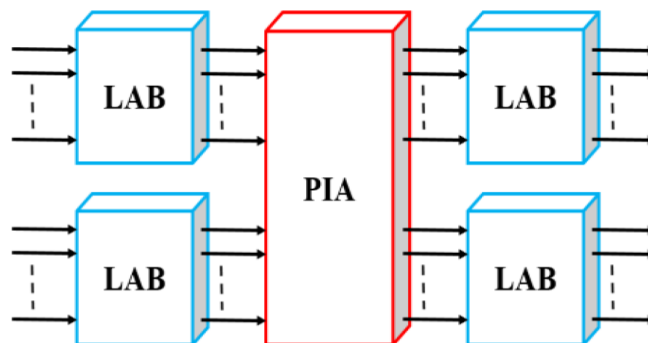


Figure III-14: Schéma synoptique d'un CPLD [20].

Avec les CPLDs, les concepteurs ont atteint la densité d'intégration maximale pour ce type de circuits ; de nouvelles études ont conduit à l'apparition des FPGAs.

## III.3 CIRCUIT FPGA

### III.3.1 DÉFINITION

**FPGA :** (Feild Programmable Gate Array) c'est des circuits reconfigurables, à l'aide des quels on peut réaliser des circuits numériques complexes, ou des fonctions complexes, qui seront traitées d'une manière directe et sans exécution. Les FPGAs sont beaucoup plus rapide qu'un simple processeur car les données dans un FPGA subits seulement des déviations de direction de propagation afin de réaliser certaine fonction, par contre pour un processeur les fonctions sont réalisées en chargeant les données depuis la mémoire vers la RAM et le CPU et ceci diminue l'efficacité du circuit.

La différence principale entre un FPGA et un PLA ou un CPLD est que le FPGA contient des blocs configurables (CLB, LAB, cluster, ...) avec des matrices d'interconnexions. Un FPGA est basé aussi sur l'utilisation d'une unité appelée LUT (look up table) comme élément combinatoire de la cellule de base. La LUT peut être vu comme une mémoire (en générale 16 bits) qui permet de créer n'importe quelle fonction logique combinatoire à 4 variables d'entrées. On l'appelle aussi générateur de fonctions (Function generator).

Un FPGA est constitué principalement de (voir figure III. 15)

1-Des blocs logiques configurables (CLB, LAB, cluster, ...)

2-Des matrices d'interconnexion configurable (PIA).

3-Des entrées/sorties pour la communication avec le monde extérieur (IOB).

4-Des blocs dédiés<sup>2</sup>, DSP (digital signal processor), DAC/ADC, USB interface, Serial interface, etc. (voir figure III.16)

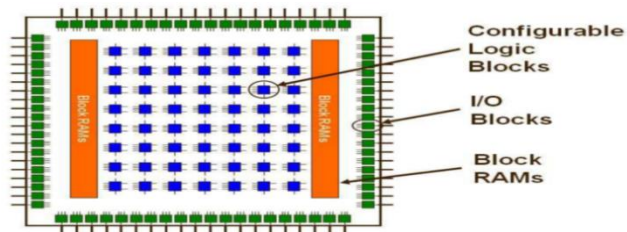


Figure III-15: représentation d'une FPGA [13]

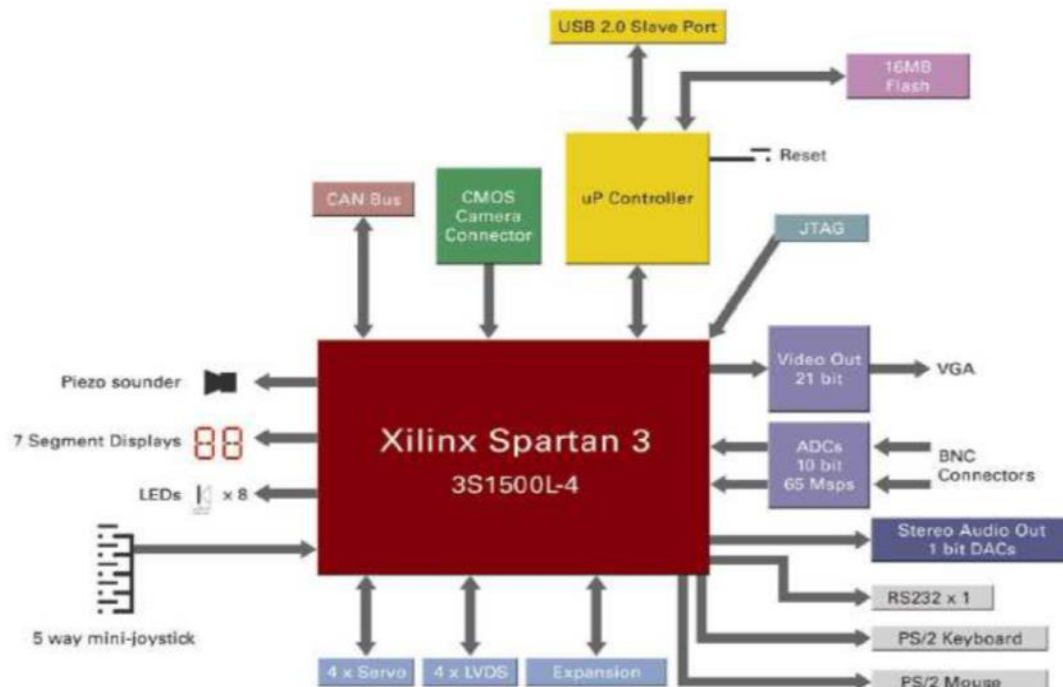


Figure III-16: Exemple d'une carte de développement FPGA Xilinx Spartan 3 [13]

<sup>2</sup> Sa dépend de chaque constructeur et le modèle de la carte FPGA par exemple (XILINX Spartan-7, Arty -S7 ; ALTERA (Intel) Cyclone 10, Stratix-10 Arria-10)

### III.3.2 TERMINOLOGIE : LE, LAB, ALM, CLB, SLICE [13]

Pour des raisons internes aux différents fabricants, plusieurs termes sont utilisés pour parler de l'architecture interne des FPGAs.

Pour les FPGAs de la famille Cyclone, Altera utilise le terme Logic Element – LE pour une cellule de base incluant une table de conversion, un additionneur et un registre. Un Logic Array Bloc – LAB regroupe plusieurs LEs. Pour la famille Stratix, Altera a remplacé les LEs par des blocs plus complexes, les Adaptive Logic Modules – ALM. Un ALM comprend deux tables de conversion, deux additionneurs et deux registres. Pour la famille Stratix, un LAB regroupe 10 ALMs.

Pour les FPGAs des familles Spartan et Virtex, Xilinx utilise le terme slice pour un module de base incluant deux tables de conversion, deux additionneurs et deux registres. Un Configurable Logic Block – CLB regroupe deux ou quatre slices, selon la famille de FPGA.

#### III.3.2.1 Éléments logiques « LE »

Les éléments logiques (LE) sont les plus petites unités logiques dans l'Architecture du dispositif Cyclone IV de Altera FPGA. Les LE sont compacts et offrent des fonctionnalités avancées avec un usage logique efficace. Chaque LE a les caractéristiques suivantes :

- Une table de conversion à quatre entrées (LUT), qui peut implémenter n'importe quelle fonction à quatre variables.
- Un registre programmable
- Une chaîne de transport
- Une connexion de chaîne de registre
- La capacité de piloter les interconnexions suivantes :
  - Local
  - Ligne
  - Colonne
  - Chaîne d'enregistrement
  - Lien direct
- Un support Enregistreur des packages.
- Un support Enregistreur des commentaires.

Vous pouvez configurer le registre programmable de chaque LE pour une opération de bascule D, T, JK ou RS. Chaque registre à des données, Horloge, activation d'Horloge et un effaceur des entrées. Des signaux qui utilisent le réseau d'horloge globale, les broches d'E / S à usage général ou toute logique interne peut piloter l'Horloge et effacer les signaux de contrôle du registre. Soit des E / S à usage général les broches ou la logique interne peuvent entraîner l'activation de l'horloge. Pour les fonctions combinatoires, la sortie de LUT contourne le registre et conduit directement aux sorties de LE.

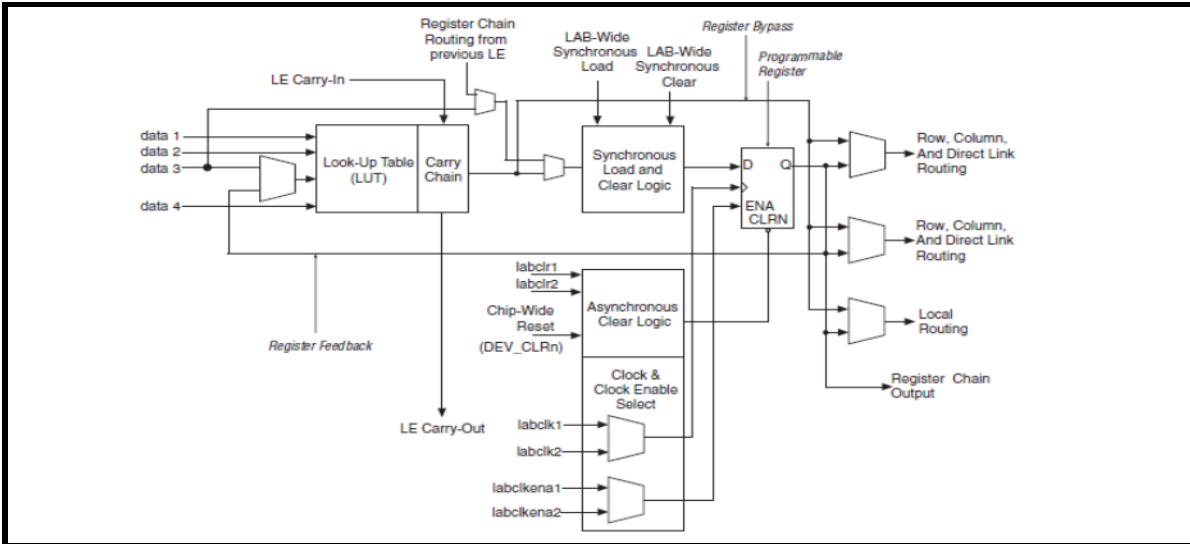


Figure III-17: éléments logiques (LE) pour le dispositif Cyclone IV d’Altera [16]

Les LEs fonctionnent dans les deux modes suivants :

- **Mode normal** : convient aux applications logiques générales et aux fonctions combinatoires.

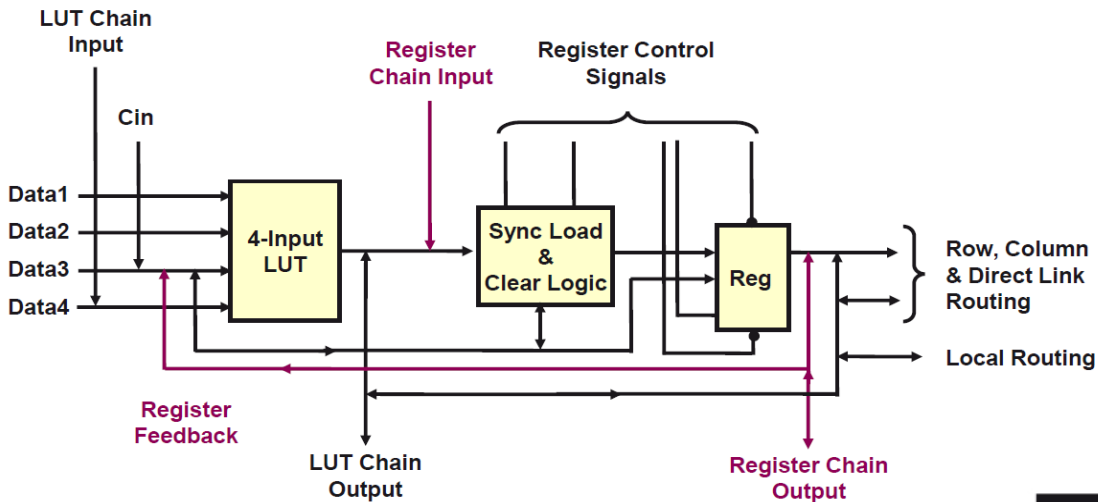


Figure III-18: mode de fonctionnement normal de LE [23]

- **Mode arithmétique** : Idéal pour implémenter des additionneurs, des compteurs, des accumulateurs et des comparateurs

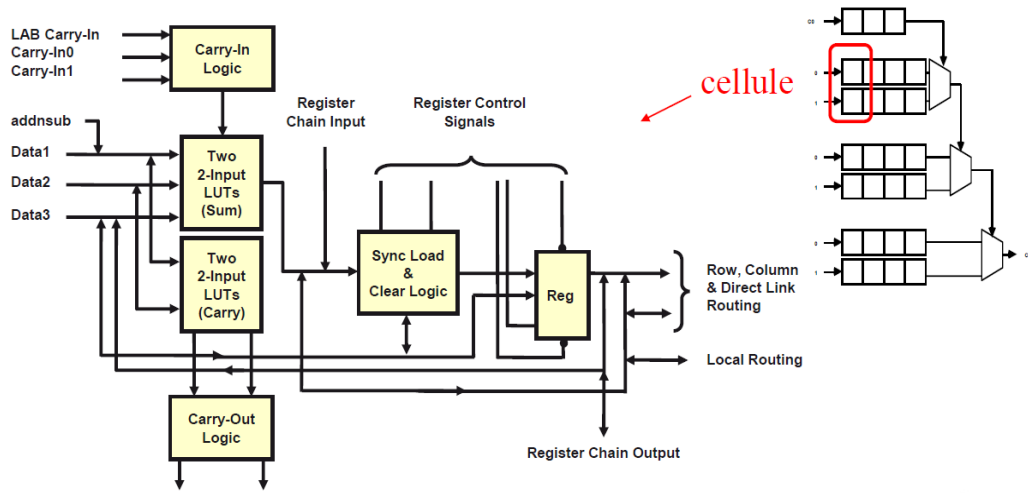


Figure III-19: mode de fonctionnement arithmétique de LE [23]

Les logiciels de conception de dispositifs logiques programmables comme Quartus II de Altera choisit automatiquement le mode approprié pour les fonctions commun, telles que les compteurs, les additionneurs, les soustracteurs et les fonctions arithmétiques, dans en conjonction avec des fonctions paramétrées telles que la bibliothèque de paramètres des modules (LPM). Nous pouvons également créer des fonctions spéciales qui spécifient le mode de fonctionnement des LEs à utiliser pour des performances optimales, si nécessaire.

### III.3.2.2 Les blocs de réseaux logiques (LAB)

Les blocs de réseaux logiques (LAB) contiennent des groupes de LE.

Topologie de Chaque LAB comprend les fonctionnalités suivantes :

- 16 LEs
- Signaux de commande LAB
- Chaînes de transport LE
- Enregistreur des chaînes
- Interconnexion locale

L'interconnexion locale transfère les signaux entre les LE du même LAB. dans un LAB, Les connexions de Chaîne d'enregistrement transfèrent la sortie d'un registre LE vers le registre LE adjacent, Pour une meilleur performance et connexion efficace.



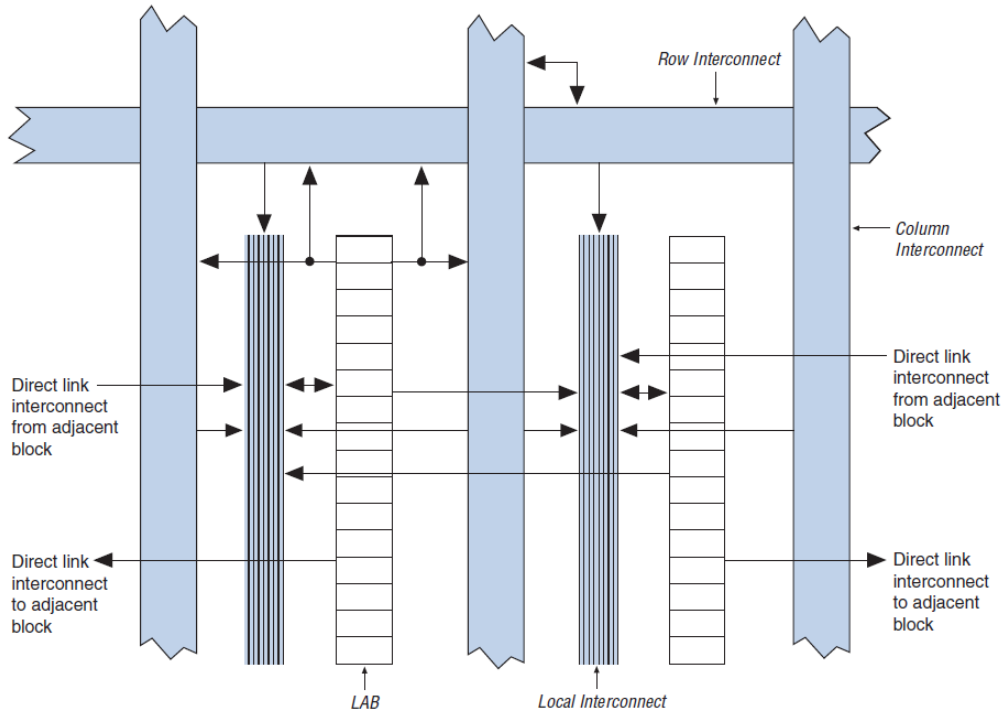


Figure III-20: structure d'un LAB cyclone IV [16]

**III.3.2.3 Bloc logique configurable CLB :**

Les CLB sont des blocs logiques configurables qui peuvent se communiquer entre eux à travers les matrices d'interconnexions. Un CLB est constitué de 4 SLICE permettant la réalisation des fonctions séquentiels ou combinatoire, les entrées et les sorties des slices sont (de la mémoire, donnée issue d'autre CLB à travers les matrices d'interconnexions), donc un CLB nécessairement contient des accès aux matrices d'interconnexions.

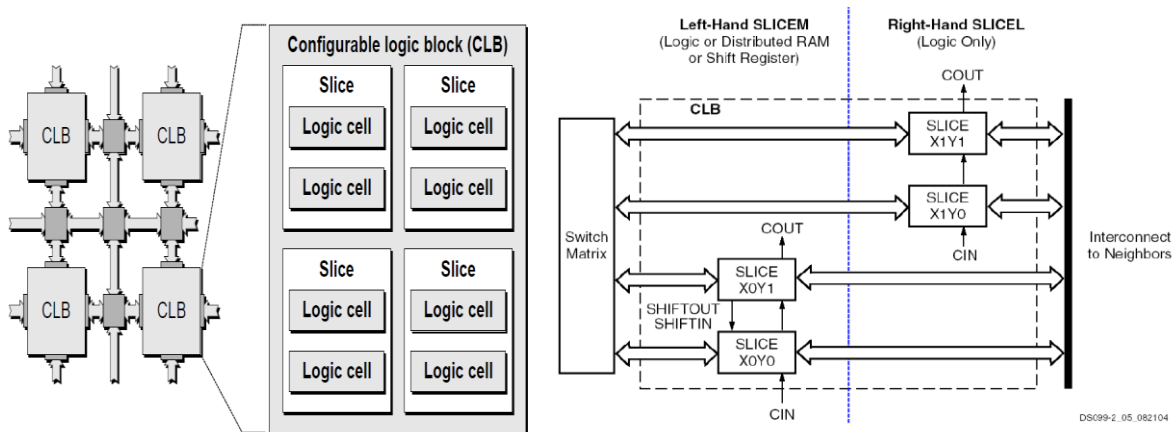


Figure III-21: CLB block configurable [13]

III.3.2.4 Qu'est c'est qu'un SLICE ?

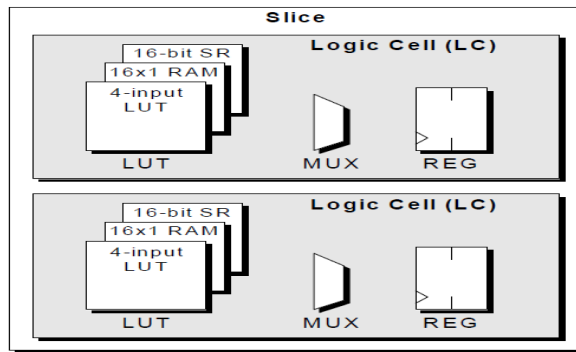


Figure III-22: figure d'une SLICE [13]

Un slice est l'élément de base d'un CLB, il contient :

- a. 2 blocks configurables : LUT (4-input Look Up Table), SR (16 bits shift registre) registre de décalage à 16 bits, mémoire distribuée (16 bits RAM). Le but de ces bloques configurables est de sauvegarder des données qui serrent comme une fonction ou une partie d'une fonction logique combinatoire généralement à 4 entrées.
- b. 2 éléments séquentiels de mémorisation : bascule-D ou D-latch permet de faire des fonctionnes séquentiels
- c. Des multiplexeurs qui servent à faire des combinaisons entre les différentes parties du CLB.
- d. Des portes logiques NAND et XOR.

III.3.2.4.1 Les LUTs :

Un Look Up Table est un multiplexeur avec n entrées de commande, une sortie, 2<sup>n</sup> entrées de données, la sortie du LUT est une fonction de ses entrées de commande et de celle de données.

III.3.2.4.1.1 Architecture d'une LUT

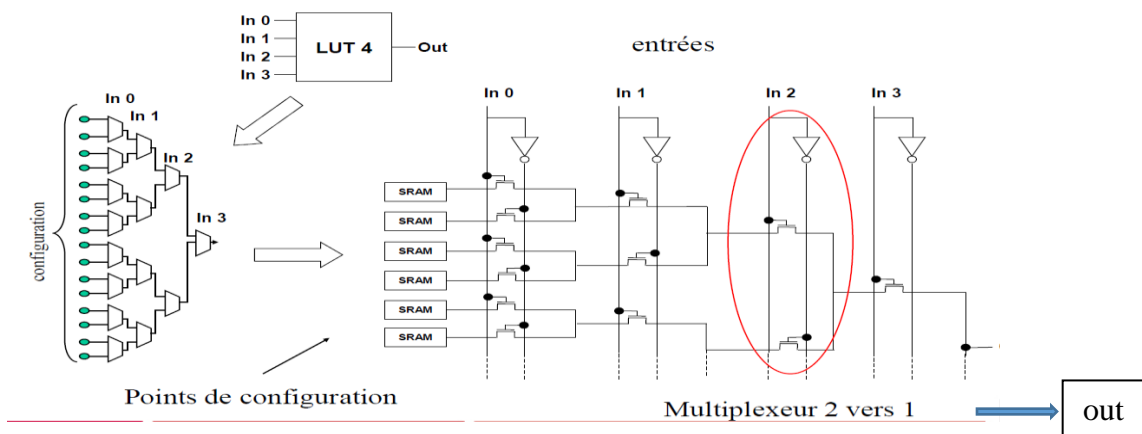


Figure III-23: structure d'une LUT [16]

III.3.2.4.1.2 Implémentation d'une fonction logique dans une LUT à 2 entrées :

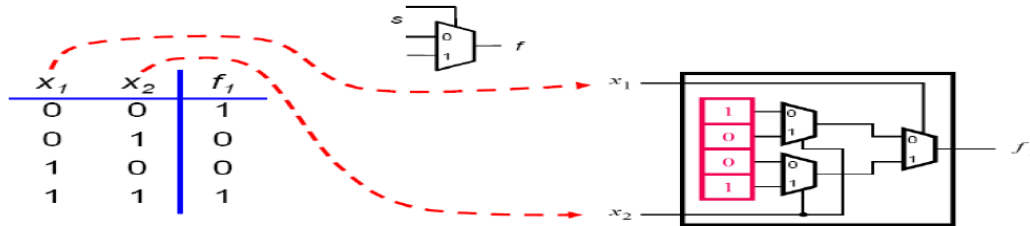


Figure III-24: implémentation dans une LUT a 2 entées [13]

- ✓ La fonction **f1** de la table peut être stockée dans la LUT
- ✓ L'arrangement des multiplexeurs dans la LUT réalise correctement la fonction **f1**

Pour réaliser des gros multiplexeurs on peut faire des combinaisons entre les différents LUT et MUX d'un CLB, en peut réaliser un MUX 16:1 dans chaque CLB car CLB=> 4 slice (silce=>2 LUT (2 Input))=>8 LUT (2 input)=> MUX 16:1.

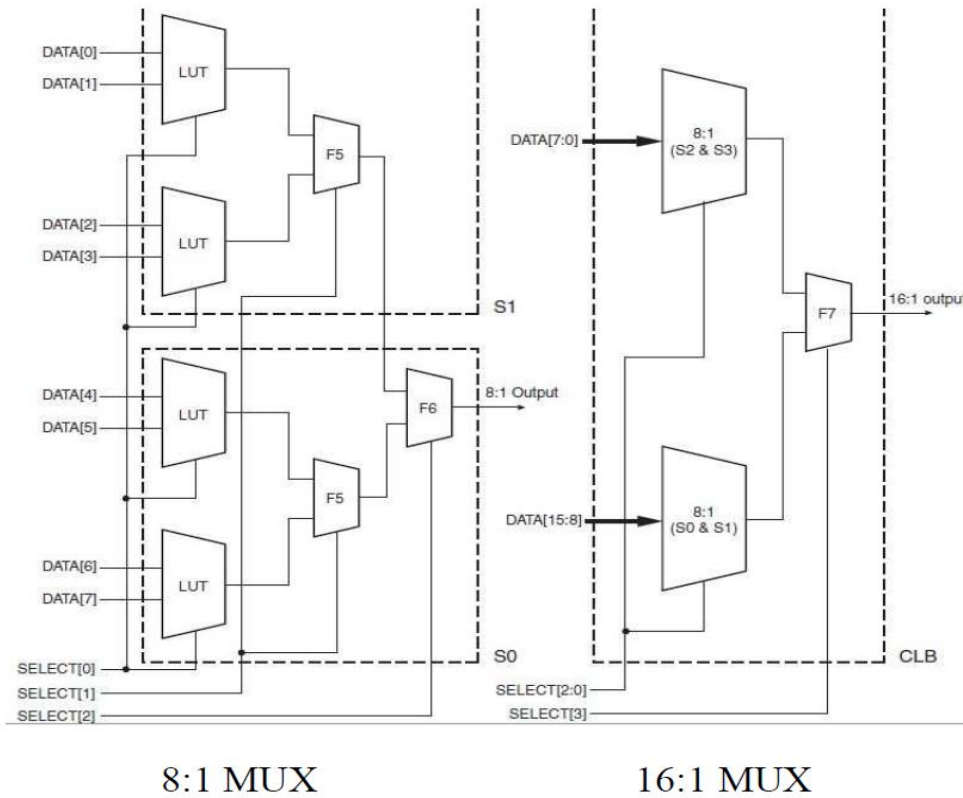


Figure III-25: réalisations des gros multiplexeurs par combinaison entre des LUT [13]

**III.3.3 QU'EST-CE QU'UNE CONFIGURATION ?**

Différentes technologies de configuration sont disponibles

**III.3.3.1 Les entrées/sorties :**

La figure (III.25) présente la structure de ce bloc. Ces blocs entrée/sortie permettent l'interface entre les broches du composant FPGA et la logique interne développée à l'intérieur du composant. Ils sont présents sur toute la périphérie du circuit FPGA. Chaque bloc IOB contrôle

une broche du composant et il peut être défini en entrée, en sortie, en signaux bidirectionnels ou être inutilisé (haute impédance).

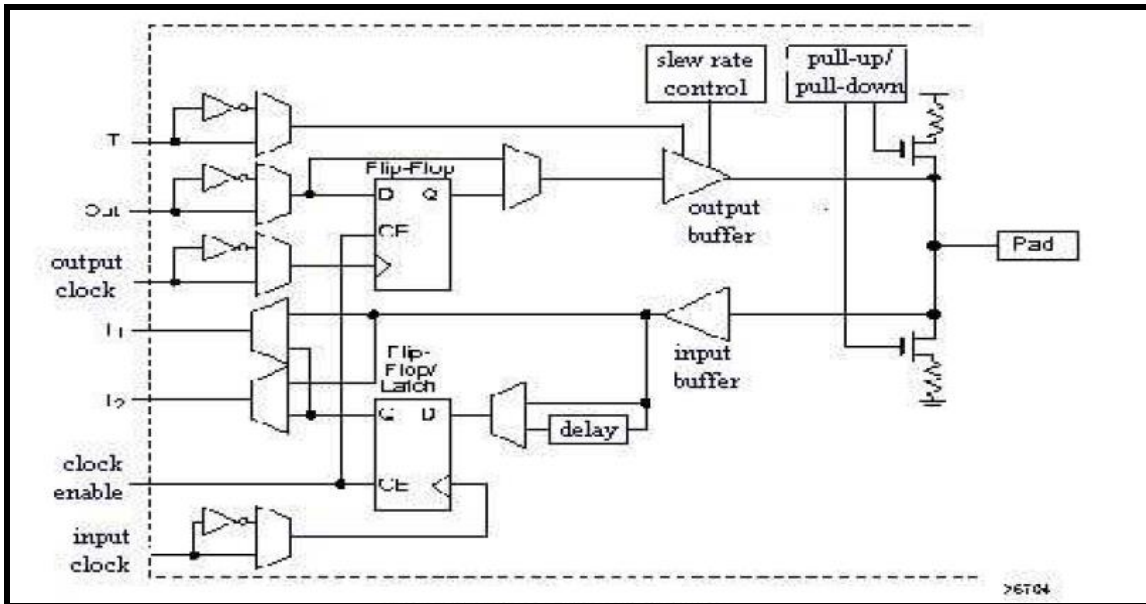


Figure III-26 : bloc d'entrée /sortie IOB [13]

### III.3.3.2 Configuration en entrée :

En Premier, le signal d'entrée traverse un buffer qui selon sa programmation peut détecter soit des seuils TTL ou soit des seuils CMOS. Il peut être routé directement sur une entrée directe de la logique du circuit FPGA ou sur une entrée synchronisée. Cette synchronisation est réalisée à l'aide d'une bascule de type D, le changement d'état peut se faire sur un front montant ou descendant. De plus, cette entrée peut être retardée de quelques nanosecondes pour compenser le retard pris par le signal d'horloge lors de son passage par l'amplificateur. Le choix de la configuration de l'entrée s'effectue grâce à un multiplexeur (program controlled multiplexer). Un bit positionné dans une case mémoire commande ce dernier.

### III.3.3.3 Configuration en sortie :

Nous distinguons les possibilités suivantes :

- ✓ Inversion ou non du signal avant son application à l'IOB,
- ✓ Synchronisation du signal sur des fronts montants ou descendants d'horloge,
- ✓ Mise en place d'un " pull-up " ou " pull-down " dans le but de limiter la consommation des entrées sorties inutilisées,
- ✓ Signaux en logique trois états ou deux états. Le contrôle de mise en haute impédance et la réalisation des lignes bidirectionnelles sont commandés par le signal de commande Out Enable lequel peut être inversé ou non. Chaque sortie peut délivrer un courant de 12mA. Ainsi toutes ces possibilités permettent au concepteur de connecter au mieux une architecture avec les périphériques extérieurs.

### III.3.3.4 Les interconnexions :

Les connexions internes dans les circuits FPGA sont composées de segments métallisés. Parallèlement à ces lignes, nous trouvons des matrices programmables réparties sur la totalité du circuit, horizontalement et verticalement entre les divers CLB. Elles permettent les connexions entre les diverses lignes, celles-ci sont assurées par des transistors MOS dont l'état est contrôlé

par des cellules de mémoire vive ou RAM (déjà expliqué précédemment). Le rôle de ces interconnexions est de relier avec un maximum d'efficacité les blocs logiques et les entrées/sorties afin que le taux d'utilisation dans un circuit donné soit le plus élevé possible. Pour parvenir à cet objectif, Xilinx propose trois sortes d'interconnexions selon la longueur et la destination des liaisons. Nous disposons :

- D'interconnexions à usage général,
- D'interconnexions directes,
- De longues lignes.

#### **III.3.3.4.1 Les interconnexions à usage général :**

Ce système fonctionne en une grille de cinq segments métalliques verticaux et quatre segments horizontaux positionnés entre les rangées et les colonnes de CLB et de l'IOB. Des aiguilleurs appelés aussi matrices de commutation sont situés à chaque intersection. Leur rôle est de raccorder les segments entre eux selon diverses configurations, ils assurent ainsi la communication des signaux d'une voie sur l'autre. Ces interconnexions sont utilisées pour relier un CLB à n'importe quel autre.

Pour éviter que les signaux traversant les grandes lignes ne soient affaiblis, nous trouvons généralement des buffers implantés en haut et à droite de chaque matrice de commutation.

#### **III.3.3.4.2 Les interconnexions directes :**

Ces interconnexions permettent l'établissement de liaisons entre les CLB et les IOB avec un maximum d'efficacité en termes de vitesse et d'occupation du circuit. De plus, il est possible de connecter directement certaines entrées d'un CLB aux sorties d'un autre.

#### **III.3.3.4.3 Les longues lignes :**

Les longues lignes sont de longs segments métallisés parcourant toute la longueur et la largeur du composant, elles permettent éventuellement de transmettre avec un minimum de retard les signaux entre les différents éléments dans le but d'assurer un synchronisme aussi parfait que possible. De plus, ces longues lignes permettent d'éviter la multiplicité des points d'interconnexion.

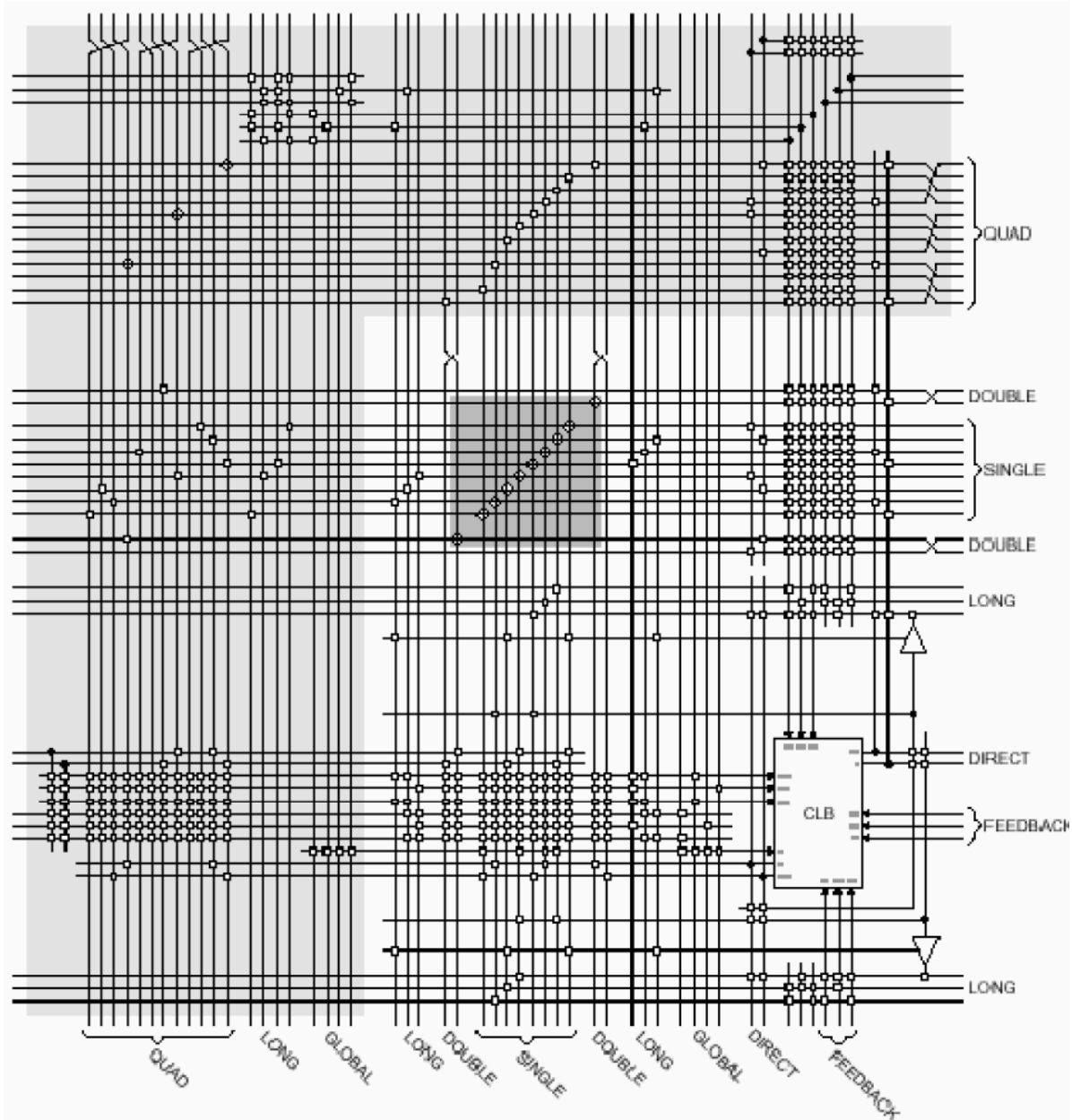


Figure III-27: Illustration des différents types d'interconnexions chez Xilinx [13]

### III.3.4 GESTION D'HORLOGE :

Dans un FPGA l'horloge vient de l'extérieur, le but de gestion d'horloge est de distribuer d'une manière correcte les signaux d'horloges, les principales fonctions sont :

**1-Synthèse de fréquence :** la synthèse de fréquence se fait à l'aide du PLL (Phase Locked Loop) qui peut multiplier ou bien diviser la fréquence d'horloge par un certain facteur.

**2-Elimination de délai entre les différents horloges (De-skewing)** avec DLL (Digital delay Locked Loop) et cela se fait avec des éléments mémorisant.

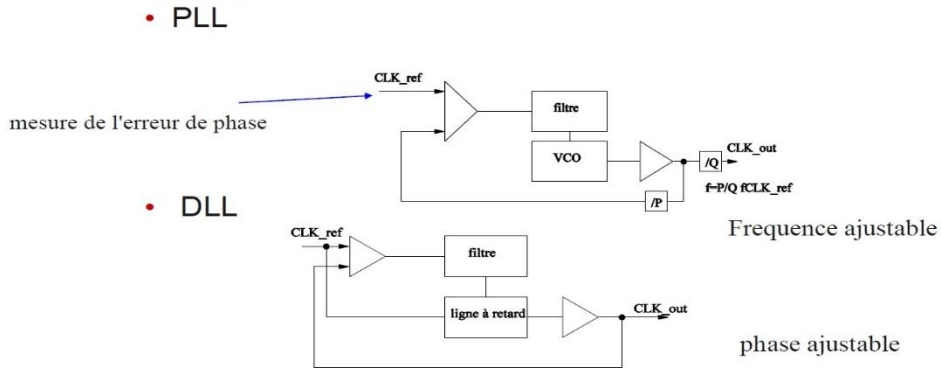


Figure III-28: Principe de génération d'horloge [16]

**3-Décalage de phase : DPS (Digital Phase Shifter)** La gestion d'horloge se fait par un DCM (Digital Clock Manager) qui contient un détecteur de phase et un sélecteur de délai de ligne, le control logique compare CLCKIN avec CLKFB et fait sélectionner une ligne de délai, en réalité il ajout un délai sur la ligne rapide.

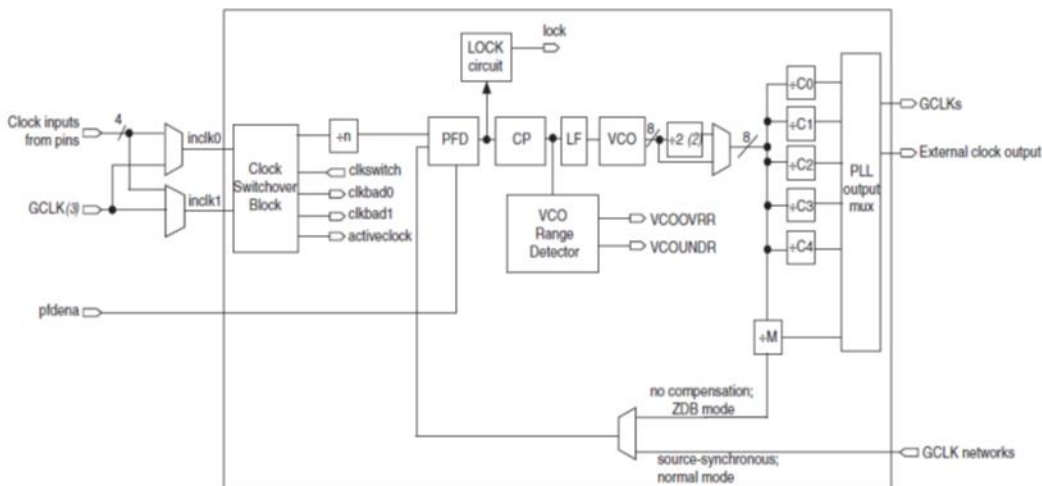


Figure III-29: Altera cyclone IV E PLL bloc diagramme [16]

### III.3.5 ARCHITECTURE DE PROCESSEUR INTÉGRÉE

#### III.3.5.1 Illustration

Pour les concepteurs de systèmes à microprocesseur, la seule préoccupation est la possibilité d'obsolescence du processeur. Si un fournisseur décide d'arrêter un produit de processeur ou une famille de produits, cela aurait un impact majeur sur le concepteur de systèmes utilisant le processeur particulier. Le concepteur (et l'organisation que le concepteur travaille) aurait potentiellement investi beaucoup de temps et de ressources pour apprendre et utiliser le processeur, ainsi que les outils EDA associés de la conception. Tous nécessiteraient un réinvestissement. Cependant un PLD, pourrait être utilisé alternativement comme un processeur acheté auprès d'un fournisseur. Il serait possible d'implémenter un processeur dans le PLD lui-même. La conception du processeur peut être obtenue soit comme un schéma ou, plus probablement, comme une description HDL (**hardware description language**).

La description du HDL serait ensuite synthétisée pour être mise en correspondance avec le PLD ; le PLD serait configuré avec les mêmes opérations que le processeur d'origine. Cette description ne changerait pas et serait disponible aussi longtemps que le concepteur en aurait besoin. Avec cela, le processeur serait un noyau (c'est-à-dire un bloc de logique qui serait placé dans le PLD) et il serait fourni au concepteur sous forme de noyau dur ou de noyau souple.

**Le noyau dur** serait fourni comme des portes logiques et des interconnexions pour un PLD en particulier.

**Un noyau souple** serait fourni sous forme de code HDL décrivant le processeur en termes de fonctionnalité, plutôt que des portes logiques et d'interconnexion, et serait ensuite synthétisé au PLD requis.

Une alternative à l'architecture de processeur préconçue consiste à concevoir l'architecture pour une exigence spécifique. Cela permettrait au concepteur de développer la meilleure architecture pour l'application particulière et ne pas être potentiellement limité en performances par la disponibilité d'un processeur existant. Par conséquent, avec les PLD, la capacité de développer des processeurs spécifiques à l'application est réaliste. Cela permettrait au concepteur de développer des systèmes basés sur PLD qui peuvent utiliser à la fois un processeur (exécutant un logiciel) et du matériel dédié et optimisé (pour une vitesse maximale de fonctionnement) dans un seul appareil.

Bien qu'il existe de nombreux avantages potentiels à utiliser des PLD plutôt que processeurs, les paradigmes(modèle) de conception sont différents et la nécessité de tenir compte des avantages par rapport aux coûts, et la nécessité d'apprendre de nouvelles techniques de conception (principalement matériel plutôt que logiciel), ne peut être sous-estimé. Cependant, la capacité du concepteur de choisir une solution qui lui offre le maximum d'avantage pour l'application particulière est quelque chose qui ne peut être négligé. Il est commun de considérer la PROM comme un SPLD, aux côtés des PLA, PAL et GAL.

### **III.3.6 IMPLÉMENTATION ET CONFIGURATION D'UN CIRCUIT FPGA**

Afin de programmer un circuit FPGA on doit disposer des éléments suivants (figure III.30) :

- Un ordinateur ;
- un logiciel de développement (Xilinx ISE, Altera Quartus II, ...) ;
- un circuit programmable FPGA ;
- un moyen pour connecter le FPGA à l'ordinateur (USB blaster).





Figure III-30: Eléments essentiels pour programmer les circuits reconfigurables [27].

Les FPGAs se programment grâce à leurs LUTs et leurs réseaux d'interconnexion. Leur programmation consiste à écrire dans les cellules mémoires de configuration. Pour déterminer la valeur à stocker dans chaque cellule mémoire, le programmeur est aidé d'un logiciel de développement, comme ISE de chez Xilinx ou Quartus de chez Altera, à partir d'un fichier-texte écrit en un langage de description de circuits numériques (VHDL ou Verilog) ou d'un schéma (Schématique). L'outil de développement transforme cette description en un fichier de configuration du FPGA en plusieurs étapes. D'abord, le logiciel effectue la synthèse du circuit à implémenter. L'étape de synthèse consiste à convertir les fichiers-textes (décrivant le circuit) en un fichier RTL (Register Transfer Level) qui décrit le circuit au niveau porte logique puis la dernière étape qu'est l'implémentation. Le processus d'implémentation prend quatre étapes pour convertir le netlist à un fichier de programmation finale : Translate, Map, Place and Route, et de générer le fichier de programmation. [20]

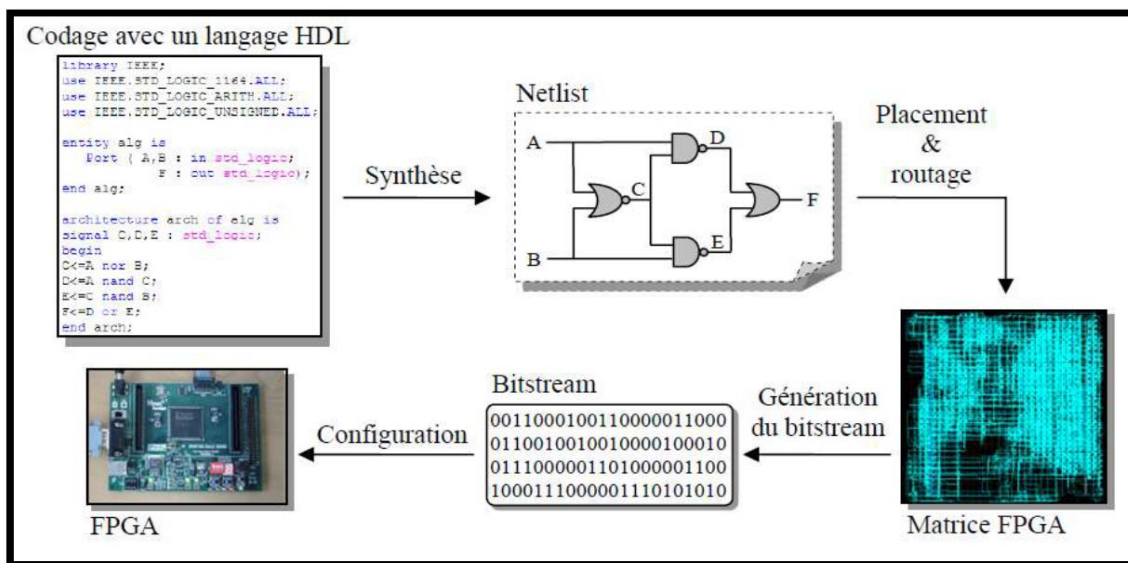


Figure III-31: Etapes réalisées par les outils de développement afin de programmer un FPGA [20]

**III.4 CONCLUSION :**

Dans ce chapitre, nous avons présenté une étude comparative entre les différents types de circuits logiques programmables ainsi que les techniques de configuration principales (SRAM, Flash et Anti-fusible) utilisées par les constructeurs des circuits FPGAs (Xilinx, Altera, Actel, ...).

En plus, nous avons présenté les éléments principaux constitutifs de l'architecture FPGA de chez Xilinx et Altera. Comme nous avons éclairci la possibilité d'intégrer un ou plusieurs processeurs dans un circuit FPGA et enfin de compte nous avons illustré les étapes à suivre pour la programmation de ces circuits.

**Chapitre IV**  
**REALISATION**  
**PRATIQUE ET**  
**COMMENTAIRES**

## IV. REALISATION PRATIQUE ET COMMENTAIRE

### IV.1 INTRODUCTION

Dans ce chapitre nous allons entamer la réalisation pratique de notre projet de fin d'études. La première étape c'est la présentation du cahier des charges du projet ensuite nous apercevrons une illustration des différentes pièces matérielles et logicielles des cartes électroniques utilisées pour la réalisation de notre maquette prototype. Après la simulation du bon fonctionnement et la correction des erreurs, nous testerons le projet si tout marche comme prévu, nous procéderons avec les tests finaux et la validation.

### IV.2 CAHIER DE CHARGE

La conception de notre montage répond au cahier de charge suivant :

- Un capteur, aussi dite transducteur de courant qui va permettre sous l'effet du mesurande d'en délivrer une image exploitable (signal électrique).
- Ce signal adapté est analogique qui doit être numérisé pour pouvoir l'exploiter.
- Après cette conversion la donnée représentée par ce signal numérique doit être comparé par une consigne définie par l'utilisateur.
- Si le résultat de la comparaison confirme les conditions posé (la valeur efficace du courant mesuré dépasse le seuil réglé par l'utilisateur) alors notre relais doit réagir en donnant l'ordre de l'ouverture au disjoncteur ou le contacteur pour couper le courant.
- Cette coupure causée par un défaut doit être déclaré par une signalisation sonore et lumineuse.
- Cette signalisation ne cesse pas jusqu'à un acquittement par un manipulateur humain.
- Une logique de commande et verrouillage de fermeture du disjoncteur ou du contacteur doit être vérifié automatiquement pour éviter les incidents.

### IV.3 SCHÉMA SYNOPTIQUE DE NOTRE RELAIS NUMÉRIQUE :

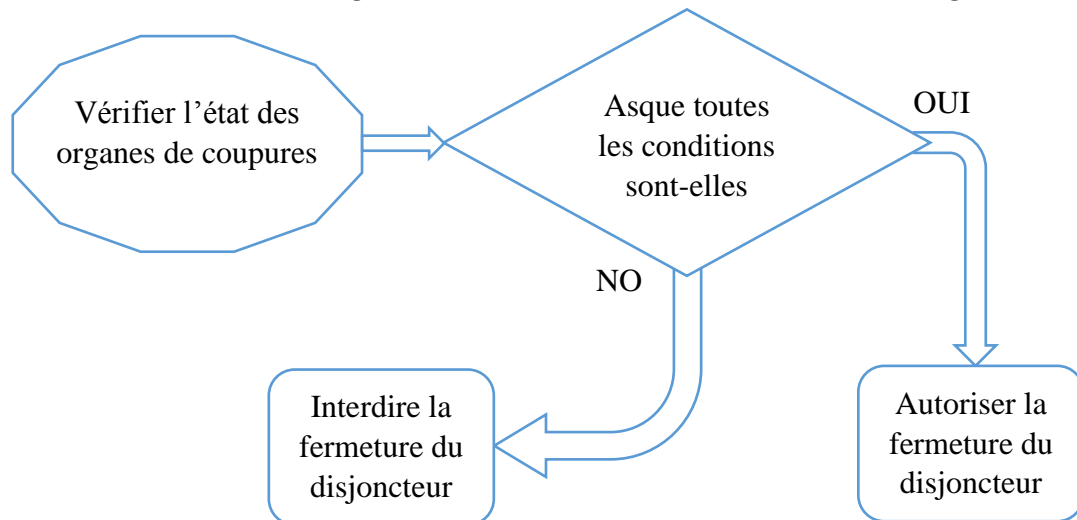


Figure IV-1 : Schéma bloc de l'autorisation d'enclenchement du disjoncteur.

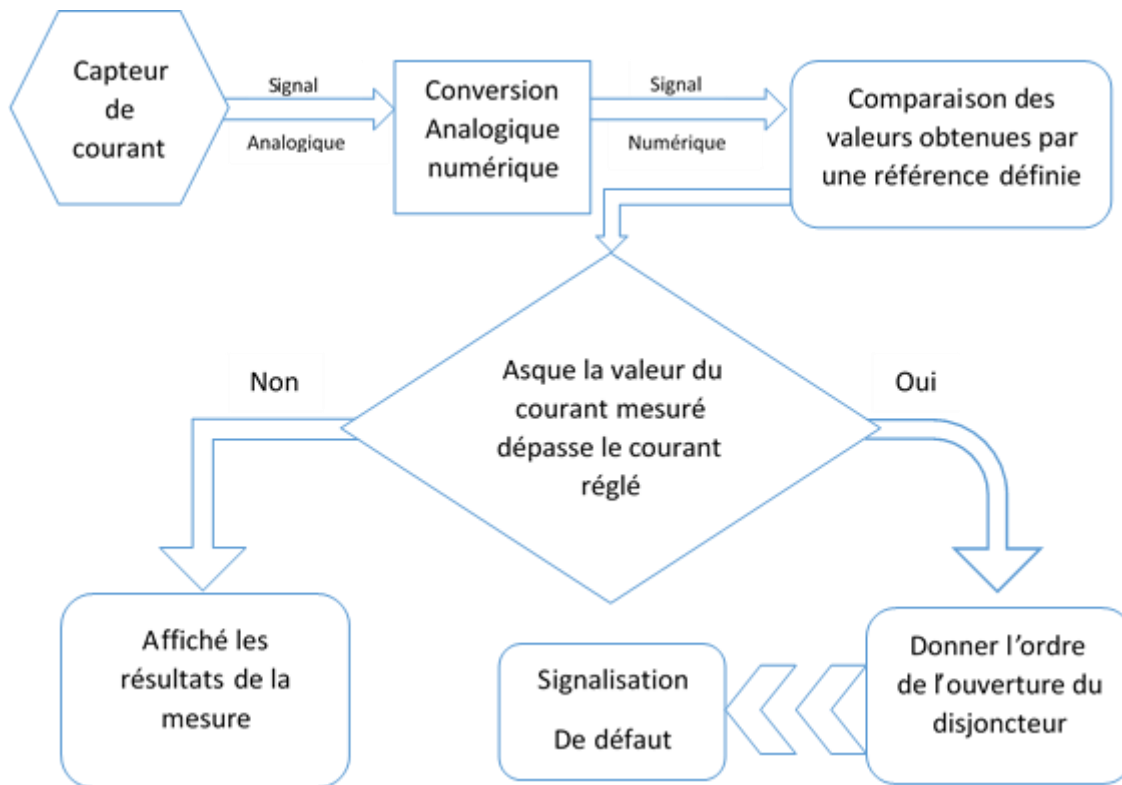


Figure IV-2 : Schéma bloc du fonctionnement de notre relais numérique.

## IV.4 ETUDE DU MATERIEL DE REALISATION

### IV.4.1 PRÉSENTATION GÉNÉRALE DE L'ARDUINO

La marque officielle est Arduino ou bien Genuino. Ce système est une carte électronique basée autour d'un microcontrôleur et d'autres composants nécessaires pour réaliser des fonctions plus ou moins évoluées à bas coût. Elle contient une interface USB pour la programmer. C'est une plateforme libre qui est basée sur une simple carte à microcontrôleur (de la famille AVR), et un logiciel d'environnement de développement intégré (IDE), pour écrire, compiler et transférer le programme vers la carte à microcontrôleur. Arduino peut être utilisé pour développer des applications matérielles industrielles légères ou des objets interactifs il peut aussi contrôler une grande variété d'actionneurs (lumières, moteurs ou toutes autres sorties matériels).

Il existe plusieurs versions de cartes Arduino, les plus populaires sont : Nano, UNO, Mega et DUE. Nous allons travailler dans notre projet avec l'Arduino Uno.

### IV.4.1.1 La carte Arduino Uno

Les principaux composants de la platine UNO sont identifiés sur la figure IV-1.

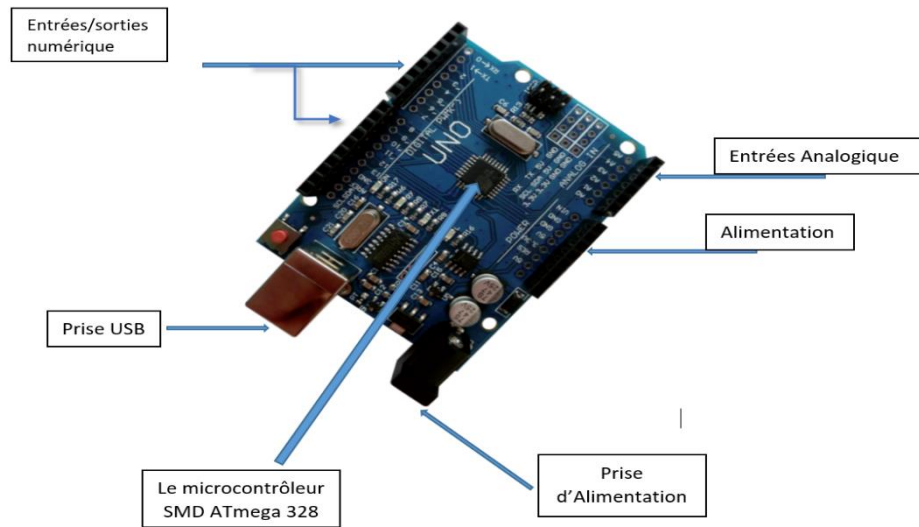


Figure IV-1 La carte Arduino Uno. [26]

### IV.4.1.2 Caractéristiques techniques :

Microcontrôleur	ATmega328P
Tension de fonctionnement	5V
Tension d'entrée (recommandé)	7-12V
Tension d'entrée (limite)	6-20V
E / S numériques Pins	14 (dont 6 fournissent la sortie PWM*)
PWM numérique E / S Pins	6
Pins d'entrée analogique	6
DC Courant par I O Pin /	20 mA
Courant DC pour 3.3V Pin	50 mA
Mémoire flash	32 KB (ATmega328P) dont 0,5 KB utilisé par bootloader**
SRAM	2 KB (ATmega328P)
EEPROM ***	1 KB (ATmega328P)
Vitesse de l'horloge	16 MHz
Longueur	68,6 mm
Largeur	53,4 mm
Poids	25 g

Tableau IV-1 : caractéristique de la carte Arduino UNO [26]

### IV.4.1.3 Le microcontrôleur ATmega 328P

Le microcontrôleur est un circuit intégré qui rassemble les éléments essentiels d'un ordinateur : processeur, mémoires (mémoire morte pour le programme, mémoire vive pour les données), unités périphériques et interfaces d'entrées-sorties. Les microcontrôleurs se caractérisent par un plus haut degré d'intégration, une plus faible consommation électrique (quelques milliwatts en fonctionnement, quelques nanowatts en veille), une vitesse de fonctionnement plus faible (quelques mégahertz à quelques centaines de mégahertz) et un coût réduit par rapport aux microprocesseurs polyvalents utilisés dans les ordinateurs personnels.

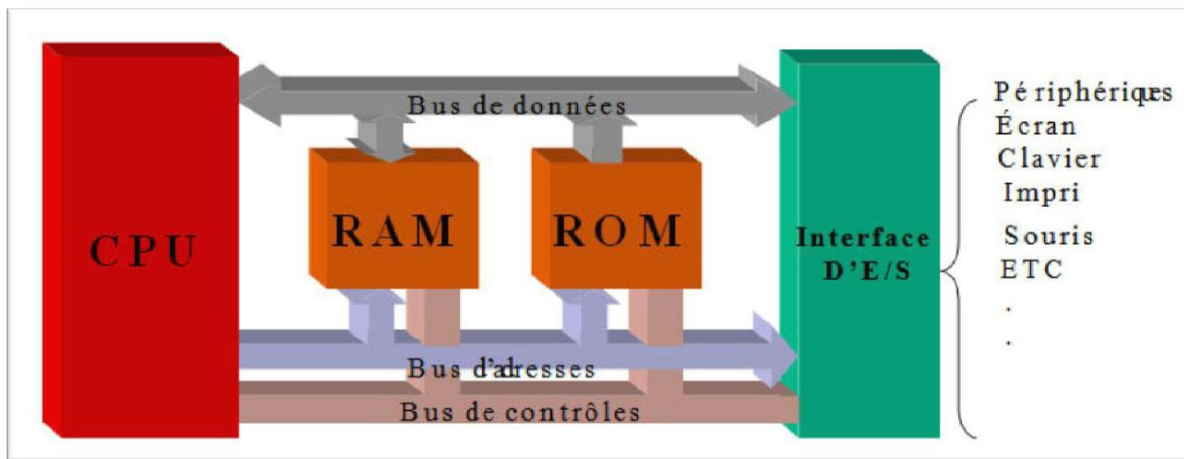


Figure IV-2: schéma simplifié du contenu type d'un microcontrôleur [21]

Les principales catégories d'opérations que sait faire les microprocesseurs actuels :

1. **Opérations arithmétiques.** Addition, soustraction, multiplication, *etc.* les résultats intermédiaires de ses opérations mémoriser dans des registres, notre puce ATmega 328P possède 32 registres. Chaque registre contient huit petits interrupteurs électriques (pour huit bits). En fait, ces registres sont utilisés par paires sous forme de 16 registres de 16 bits.
2. **Opérations de déplacement.** Avant de commencer une opération, le microprocesseur doit aller chercher les valeurs dans sa mémoire. Une fois l'opération terminée, il doit y classer le résultat. Pour tout cela, il faut un espace mémoire hors des registres. C'est pourquoi le CPU possède toute une série d'instructions pour charger une valeur et stocker une valeur dans la mémoire de données (SRAM).
3. **Opérations de branchement.** La troisième catégorie d'instructions est la plus importante : Un programme dans un processeur est constitué d'instructions qui se suivent. Le processeur les exécute l'une après l'autre au rythme d'une horloge (qui donne le tempo pour passer à l'instruction suivante). Cependant, on peut décider avec une instruction de branchement de sauter certaines instructions pour continuer l'exécution un peu plus loin puis revenir, ce qui donne une souplesse infinie.
4. **Opérations de test.** C'est cette dernière catégorie d'instructions que nous combinons avec la précédente pour décider de changer le comportement du programme en

fonction d'une valeur qui peut être comparée à 0, ou à une autre valeur pour savoir si elle est égale, inférieure ou supérieure.

Au total, le microcontrôleur ATmega328 possède un peu plus d'une centaine d'instructions machine.

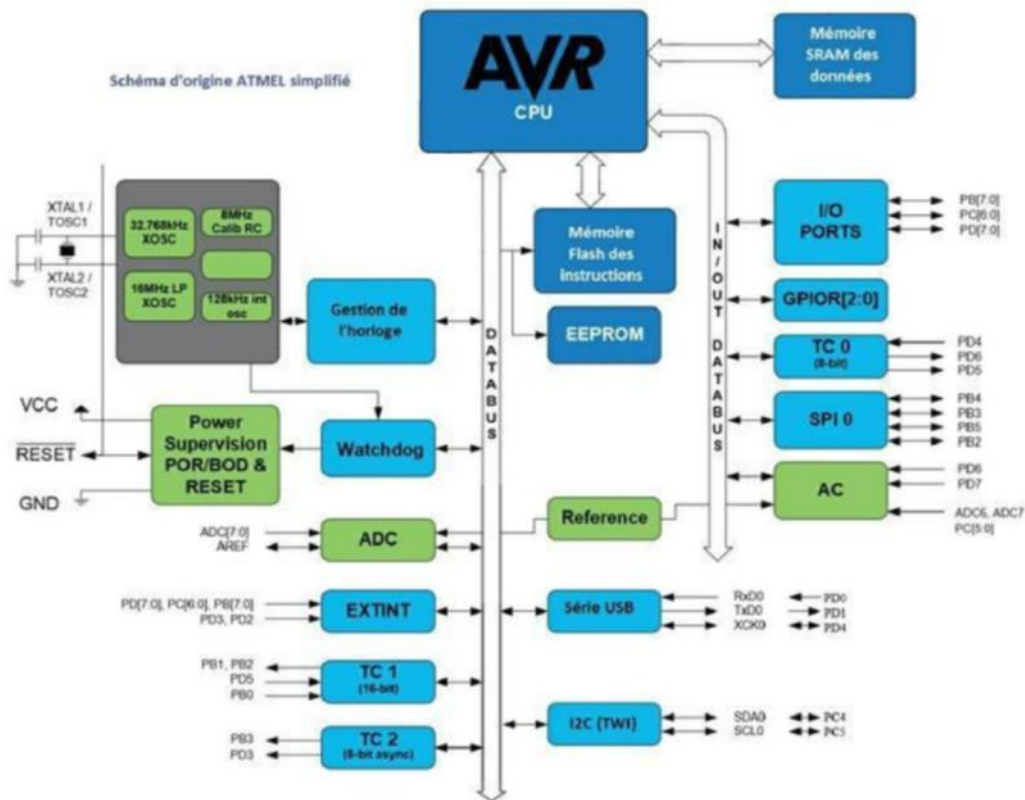


Figure IV-3: synoptique du microcontrôleur ATmega328 [21]

#### IV.4.1.4 Les performances de l'ADC d'ATMEGA328P

##### IV.4.1.4.1 Description

Les entrées analogiques de l'ATMEGA328P sont constituées d'un seul convertisseur analogique / numérique 10 bits, précédé d'un multiplexeur à 8 canaux. Les valeurs mesurées par l'ADC varieront donc entre 0 et 1023. Les pins de l'ARDUINO UNO réduisent ce nombre à 6 canaux.

##### IV.4.1.4.2 Circuit

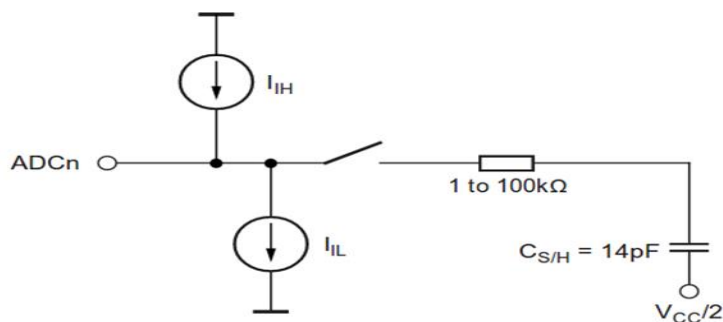


Figure IV-4: circuits d'entrée analogique [26]



Il est donc recommandé de ne mesurer que des sources de tension à basse impédance. A la lecture du schéma, on peut constater que : Si l'impédance de la source est basse, la mesure ne sera pas influencée, y compris si la tension varie rapidement. La constante de temps induite par la résistance de 100K $\Omega$  et la capacité de 14pF est de l'ordre de la  $\mu$ s, largement inférieure à la période de l'horloge de l'ADC. Une impédance de source basse (10K $\Omega$ ) n'aura qu'une faible influence. Si l'impédance de la source est élevée par contre, la mesure sera influencée, car la capacité CS/H mettra plus de temps à se charger.

#### IV.4.1.4.3 La référence de tension

En fonction du processeur utilisé, nous pouvons soit utiliser la référence par défaut, la référence interne ou une référence externe.

La référence par défaut est la tension d'alimentation du processeur. Sa précision dépend du mode d'alimentation de notre carte. Si nous alimentons par la broche VIN, la qualité de la référence sera directement dépendante de celle du régulateur de tension 5V ou 3.3V de la carte. Si nous alimentons par la broche VCC, la qualité de la référence sera directement dépendante de la celle de notre alimentation. La référence interne est de 1.1V pour un ATMEGA328. La précision de cette tension est de l'ordre de 10%. De plus elle varie légèrement en fonction de la température. Nous pouvons également découpler cette référence par un petit condensateur entre le pin AREF et la masse, pour une meilleure immunité au bruit.

#### IV.4.1.4.4 La fréquence d'horloge de l'ADC

La fréquence d'horloge de l'ADC pour la librairie ARDUINO est de 125KHz, cela nous donne donc un temps de cycle de 8 $\mu$ s. Entre le moment où la conversion démarre et le moment où l'échantillon est prélevé (sample & hold), il se passe 1.5 temps de cycle soit 12 $\mu$ s :

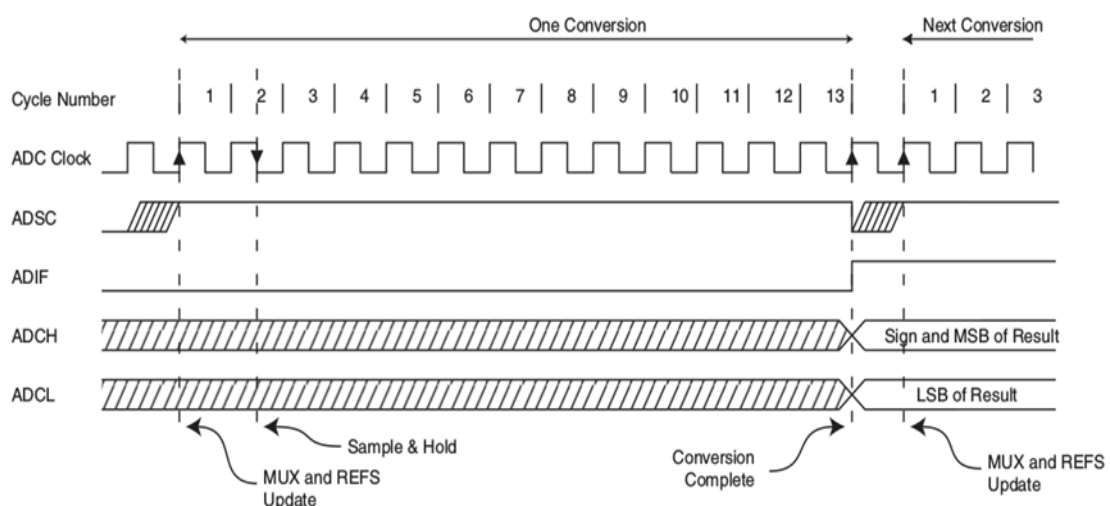


Figure IV-5: chronogramme de l'ADC, conversion unique [08]

Si l'impédance de la source de tension est très inférieure à 100K $\Omega$ , nous pouvons lire plusieurs entrées alternativement, ou lire une entrée dont la tension varie rapidement, ceci sans précaution particulière.

#### IV.4.1.4.5 Principe de la conversion analogique – digitale :

L'Arduino UNO contient 6 entrées analogiques, nommées de A0 à A5 notre convertisseur va transformer toute tension comprise entre 0V et 5V qui apparaît sur une broche analogique (A0 à A5) en un nombre entier compris entre 0 et 1023. La tension interne de l'Arduino est de 5V. Il découpe cette tension en 1024 parts égales à  $(5/1024) \cong 0,0049V$  ou 4,9 mV. Il compare la tension présente sur la broche analogique à chacune de ces marches. S'il trouve que la tension lue correspond à la 837<sup>ème</sup> marche par exemple, la tension reçue sera  $837 \times 4,9 = 4101,3$  mV soit 4,1 V environ.

#### Remarque :

– Il faut environ 100 microsecondes à l'Arduino pour lire une tension, ce qui correspond à un maximum de 10 000 lectures par seconde.

#### IV.4.1.4.6 Alimentation

La carte Arduino UNO peut être alimentée par l'USB ou par une alimentation externe. La source est sélectionnée automatiquement. La tension d'alimentation extérieure (hors USB) peut venir soit d'un adaptateur AC-DC ou de piles comme dans notre cas (pile 9v energizer). Nous l'avons connecté grâce à un 'jack' de 2.1mm positif au centre à travers un interrupteur. La carte peut fonctionner à l'aide d'une tension extérieure aussi de 7 à 12 volts.

#### IV.4.1.4.7 Mémoire

L'Atmega328P a 32 KB de mémoire (dont 0.5 KB pour le bootloader). Il a également 2 KB de SRAM et 1 KB de mémoire non volatile EPROM (qui peut être écrite et lue grâce à la librairie 'EEPROM').

#### IV.4.1.4.8 Entrées et sorties

Chacune des 14 broches numériques de la Uno peut être utilisée en entrée (input) ou en sortie (output), en utilisant les fonctions **pinMode()**, **digitalWrite()** et **digitalRead()**. Elles fonctionnent en logique TTL (0V-5V) ; chacune pouvant fournir (source) ou recevoir un courant maximal de **40 mA** et dispose si besoin et d'une résistance interne de 'pull-up'. En outre, certaines broches ont des fonctions spécialisées :

- Serial : broche 0 (**RX**) et broche 1 (**TX**). Permet de recevoir (RX) et de transmettre (TX) des données séries TTL. Ces broches sont raccordées à leurs homologues sur le chip Atmega8U2 spécialisé dans la conversion USB-to-TTL série.
- Interruptions externes 2 et 3. Ces broches peuvent être configurées pour déclencher une interruption sur une valeur LOW, sur un front montant ou descendant, ou encore sur le changement de valeur. **attachInterrupt()**.

- PWM : 3, 5, 6, 9, 10, et 11. Output 8-bit de PWM avec la fonction **analogWrite()**.
- SPI : 10 (SS), 11 (MOSI), 12 (MISO), 13 (SCK). Ces broches fournissent le support de communication SPI en utilisant la 'library' spécialisée
- LED : 13. Il y a une LED connectée à la broche numérique 13.

Pour les entrées analogiques, A0 à A5, Par défaut les mesures sont effectuées de la masse à 5V (valeur de référence), mais il est possible de spécifier la valeur de référence en utilisant la broche VREF et la fonction **analogReference()**.

Autres broches sur la carte :

- I2C : 4 (SDA) et 5 (SCL). Permettent le support du bus I2C (TWI) en utilisant le 'library **Wire**'.
- AREF. Tension de référence déjà mentionnée.
- Reset. Permet au niveau bas (LOW° de faire un reset du contrôleur. Elle est utilisée typiquement pour monter un bouton 'reset' aux cartes additionnelles ('shields') bloquant celui de la carte principale.

#### **IV.4.1.4.9 Protection de surintensité USB**

La carte Arduino Uno possède une protection par fusible pour le port USB si un courant de plus de 500mA est demandé. La déconnexion durera tant que la source de consommation excessive n'aura pas cessé.

#### **IV.4.1.4.10 Dimensions**

La longueur et largeur maximales du PCB sont de 6,9 et 5,3 cm respectivement.

### **IV.4.2 MODULE RELAIS 5 V 4 CANAUX**

#### **IV.4.2.1 Description :**

C'est une carte d'interface de relais à 4 canaux 5 V capable de contrôler divers appareils et autres équipements à grand courant comme il peut être commandé directement par le Microcontrôleur (Arduino, 8051, AVR, PIC, DSP, bras, bras, MSP430, logique TTL) elle a besoin de courant de pilotage de 50-60mA. Ces relais peuvent supporter un courant élevé, AC250V 10A ; DC30V 10A. Elles contiennent aussi des LED indiquant l'état de sortie de chaque relais.

Les circuits optocoupleur utilisé pour protéger notre circuit en isolent la partie de commande de la partie de puissance afin d'éviter les interférences lors de la conduite du forte courant.

**Remarque :** S'il s'agit d'un déclencheur de haut niveau, assurez-vous que votre niveau élevé a une certaine capacité de conduite, car la lumière à l'intérieur de la LED est de 5-10 mA.

Sa Taille : 75\*55\*18.5 mm et son Poids est de : 61g

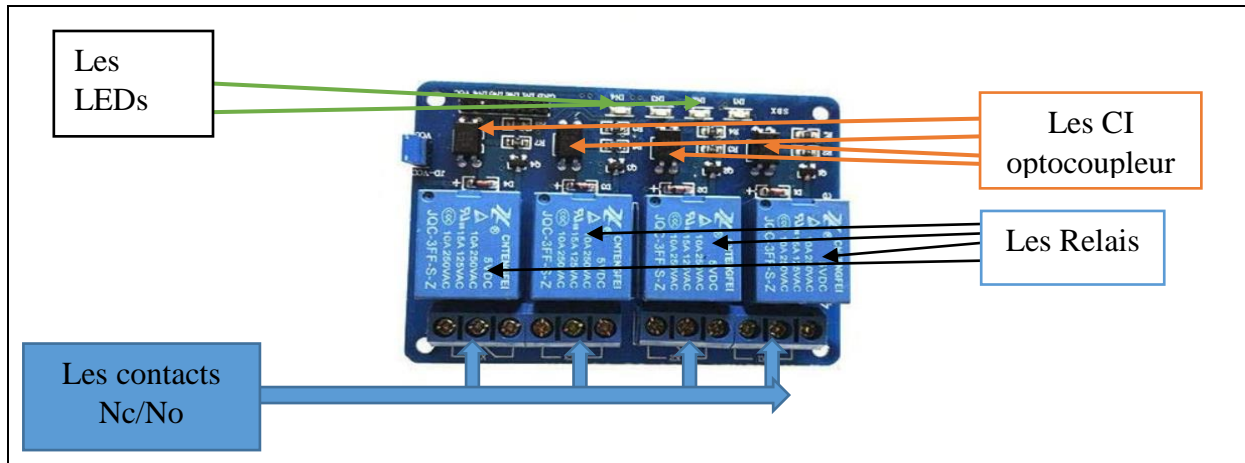


Figure IV-6: Module relais 5 V 4 canaux [27]

#### IV.4.2.2 Application :

Prend en charge tous les contrôles MCU (microcontrôleur)

Le domaine industriel

Contrôle de PLC

Contrôle intelligent de la maison

#### IV.4.2.3 Interface :

VCC : alimentation 5 V positive

GND : la masse

IN1-IN4 : signal de déclenchement de la bobine

NO1-NO4 : contacte ouvert au repos

COM1-COM4 : bornier commun

NC1-NC4 : contacte fermée au repos

### IV.4.3 MODULE DE CAPTEUR RÉCEPTEUR INFRAROUGE IR

#### IV.4.3.1 Description :

Le module IR, adopte la tête de réception infrarouge 1838. Le CI comporte un infrarouge intégré qui a une résistance à la lumière, les interférences électromagnétiques fortes et qui peuvent fonctionner sous une intensité lumineuse de 500 lux.

### IV.4.3.2 Applications

Il est utilisé partout : stéréo, TV, machine à vidéo, machine à disques, décodeurs, cadre photo numérique, stéréo automobile, jouets télécommandés, récepteurs satellite, lecteur de disque dur, climatiseur, chauffage, ventilateur électrique, éclairage et autres appareils ménagers

### IV.4.3.3 Spécification :

Dimension : 6,4 x 7,4 x 5,1 mm

Angle de réception : 90 °

Tension de fonctionnement : 2,7 ~ 5,5 V

Fréquence : 37.9KHz

Portée de réception : 18 m

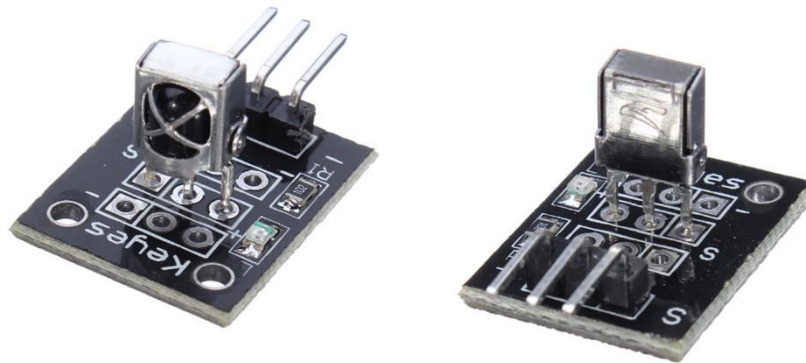


Figure IV-7: Module de Capteur Récepteur Infrarouge IR [26]

## IV.4.4 BOUTON POUSSOIR

### IV.4.4.1 Description :

Interrupteur momentané fermée (on) (l'interrupteur est seulement "on" quand le bouton est maintenu enfoncé)

### IV.4.4.2 Application :

Habituellement utilisé comme cornes de véhicule, commutateur d'allumage et pour les sonnettes. Nous l'avons utilisé pour la fermeture et l'ouverture du contacteur à travers le module de relais optocoupleur ainsi que pour faire le réglage de « Ir » (seuil de déclenchement).

### IV.4.4.3 Spécification :

Diamètre du trou du panneau : 11.8mm

Dimensions hors-tout : Approxima. 21 x 18 mm (H x D)

Tension nominale : 10A 125VAC, 6A 250VAC  
Température ambiante -25 - +85 C  
Couleur : vert et rouge



Figure IV-8: bouton poussoir [26]

#### IV.4.5 INTERRUPTEUR À BASCULE MTS-123 3 BROCHES SPDT ON/OFF/ON 3 POSITIONS INSTANTANÉES

##### IV.4.5.1 Description :

C'est un interrupteur à commutation à trois positions, ouvert / fermée / ouvert  
Utilisé sur les circuits de basse tension pour la commutation des lumières ou des moteurs.  
Nous l'avons utilisé pour permettre ou pas les manœuvres de fermeture ou de la fermeture via la télécommande. Il est durable, sûr et facile à utiliser.

##### IV.4.5.2 Spécification :

5A 120VAC, 2A 250VAC  
Contrôlant la résistance : 20M $\Omega$  max  
Résistance d'isolation : 500VDC 1000M $\Omega$ min  
Température de fonctionnement : -25 °C ~ + 85 °C  
Durée de vie : 10000fois  
Fonction : MTS-123 on- (on)  
Trou d'installation : 6mm  
Matériau : plastique + cuivre



Figure IV-9: Interrupteur à Bascule MTS-123 3 Broches [26]

## IV.4.6 LE KIT DE DÉVELOPPEMENT FPGA CYCLONE IV E :

### IV.4.6.1 Description :

Ce kit est un FPGA Cyclone IV E avec niveau de vitesse 8 en boîtier QFP 144 broches. Les appareils Cyclone IV utilisent des cellules SRAM pour stocker les données de configuration. Les données de configuration sont téléchargées sur l'appareil Cyclone IV à chaque mise sous tension de l'appareil. Les options de configuration incluent les périphériques flash série Altera EPCS et options de configuration flash parallèle de base. Ces options offrent la flexibilité pour des applications à usage général et la capacité de répondre à une configuration spécifique et exigences de temps de réveil des applications.

### IV.4.6.2 Applications :

Ce dispositif est prévu pour des applications haut volume et sensibles au coût permettant aux concepteurs système de satisfaire aux exigences des bandes passantes élevées tout en réduisant les coûts.

### IV.4.6.3 Spécifications :

#### IV.4.6.3.1 Code de commande :

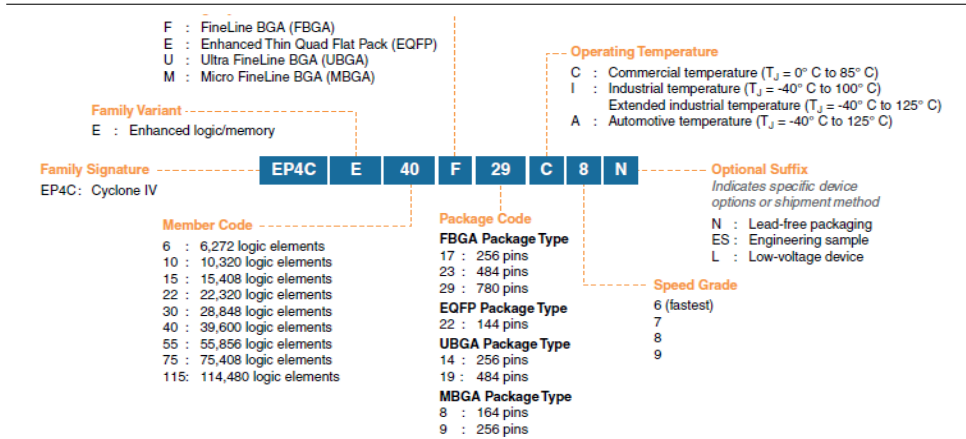


Figure IV-10: information code de commande de Cyclone IV E [16]

#### IV.4.6.3.2 Caractéristiques :

- 392 blocs réseaux logiques (LAB).
- 6272 éléments logiques (LE).
- RAM totale de 276 480bits.
- Gamme de tension d'alimentation de 1.15V à 1.25V.
- Gamme de température de  $0^\circ\text{C}$  à  $85^\circ\text{C}$ .
- Mémoire embarquée de 270Kbits.
- Deux PLL à usage général.
- 179 E/S utilisateur maximum.

- Structure d'horloge flexible pour supporter des protocoles multiples dans un seul bloc d'émetteur-récepteur.
  - Consommation de 150mW par voie.
1. la puce principale de la nouvelle série FPGA Cyclone IV de la société ALTERA EP4CE6E22C8N.
  2. Puce de configuration série EPCS16N haute capacité embarquée, prend en charge le mode de téléchargement JTAG/AS.
  3. SDRAM 64 Mbit embarqué, soutien SOPC, développement NIOSII.
  4. Cristal actif à bord de 50 MHz, stabilité du système d'horloge principal.
  5. Utilisation de la puce de régulateur de tension 1117-3.3 V, pour fournir une sortie de tension de 3.3 V.
  6. Utiliser une puce de régulateur de tension 1117-1.2 V pour fournir une tension de noyau FPGA.
  7. Utilisation de la puce de régulateur de tension 1117-2.5 V, pour fournir une sortie de tension PLL.
  8. Utilisation d'un grand nombre de condensateurs de découplage, conception de découplage.
  9. Prise d'alimentation cc 5 V et prise d'alimentation d'interface USB, deux types de mode d'alimentation.
  10. 1 bouton de réinitialisation, peut également être utilisé comme bouton d'entrée utilisateur.
  11. 1 bouton de verrouillage automatique interrupteur d'alimentation
  12. 1 alimentation LED voyant.
  13. De toutes les interfaces IO, espacement universel de 2.54mm, peut être facilement étendu.
  14. JTAG télécharger l'interface pour télécharger le fichier est. SOF, la vitesse est rapide, l'utilisation habituelle de cette interface est recommandée.
  15. Comme interface de téléchargement pour télécharger le fichier est. POF, la vitesse est lente, besoin d'utiliser cette interface lors du processus de durcissement.



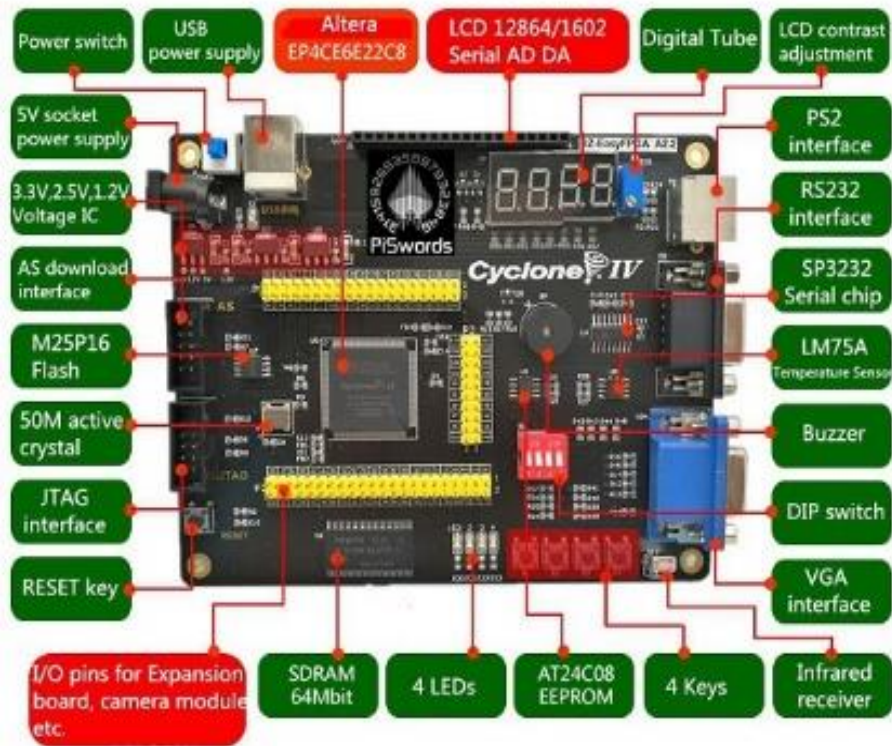


Figure IV-11: carte de développement Altera Cyclone IV [26]

#### IV.4.7 CAPTEUR DE COURANT MODEL : ZMCT103C

##### IV.4.7.1 Description :

C'est un mini Transformateur de courant alternative de fréquence 50/60 hz de Ratio = 1000 :

1. Le courant max supporté est de 10A et un diamètre de  $\Phi 5$ mm.



Figure IV-12: Mini Transformateur de courant ZMCT103C [27]

##### IV.4.7.2 Applications :

1. Les applications comprendraient des dispositifs de surveillance du courant, de la puissance et de l'énergie.

2. mesure du courant.

3. mesure avec précision de puissance.

### IV.4.7.3 Spécifications :

#### IV.4.7.3.1 Caractéristique :

- Petite taille.
- Haute précision.
- Bonne cohérence.
- Schéma de montage PCB

#### IV.4.7.3.2 Paramètres structurels

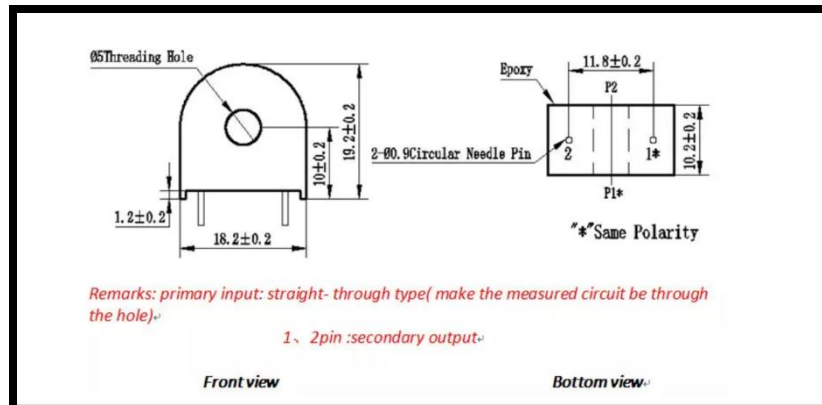


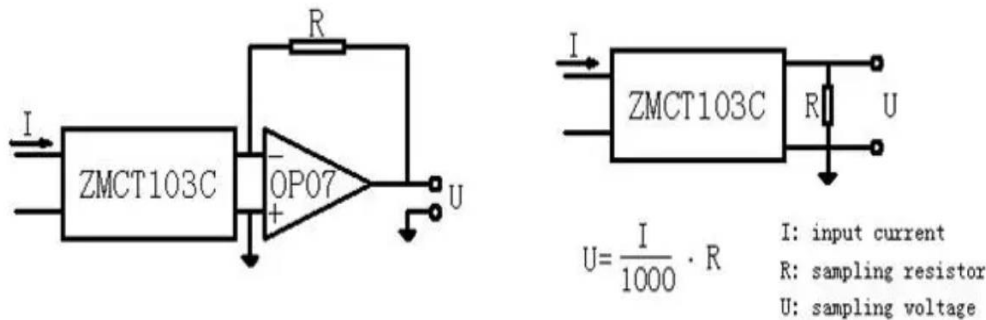
Figure IV-13: paramètres structurels de ZMCT103C [26]

#### IV.4.7.3.3 Les principaux paramètres techniques

model	ZMCT103C
input current	0-10A (50Ω)
Rated output current	5mA at input 5A
turns ratio	1000:1
phase angle error	≤15' (input 5A, sampling resistor 50Ω)
Accuracy class	0.2
linearity	≤0.2% (5% dot ~ 120% dot of 5A)
Permissible error	-0.2% ≤ f ≤ +0.2% (input 5A, sampling resistor 50Ω)
isolation voltage	4500V
application	Precise measurement of current and power
Encapsulation	Epoxy
installation	PCB mounting (Pin Length > 3mm)

Tableau IV-1 paramètre technique de ZMCT103C [26]

#### IV.4.7.3.4 Instructions d'utilisation :



a : montage indirecte

b : montage directe

Figure IV-14: les deux montages de ZMCT103C [26]

1. L'usage typique du produit concerne la sortie active (Figure IV-14 -a). R est une résistance d'échantillonnage
2. Le produit peut être directement à travers une résistance l'échantillonnage, facile à utiliser (Figure IV-14-b).

## IV.5 PLATEFORME DE PROGRAMMATION ARDUINO :

### IV.5.1 PRÉSENTATION :

Le logiciel Arduino a pour fonctions principales :

- De pouvoir écrire et compiler des programmes pour la carte Arduino
- De se connecter avec la carte Arduino pour y transférer les programmes
- De communiquer avec la carte Arduino

Cet espace de développement intégré (EDI) dédié au langage Arduino et à la programmation des cartes Arduino comporte : figure IV-15

Une **BARRE DE MENUS** comme pour tout logiciel une interface graphique (GUI).

Une **BARRE DE BOUTONS** qui donne un accès direct aux fonctions essentielles du logiciel et fait toute sa simplicité d'utilisation.

Un **EDITEUR** (à coloration syntaxique) pour écrire le code de notre programme, avec onglets de navigation.

Une **ZONE DE MESSAGES** qui affiche indique l'état des actions en cours.

Une **CONSOLE TEXTE** qui affiche les messages concernant le résultat de la compilation du programme.

Un **TERMINAL SERIE** (fenêtre séparée) qui permet d'afficher des messages textes reçus de la carte Arduino et d'envoyer des caractères vers la carte Arduino. Cette fonctionnalité permet

une mise au point facilitée des programmes, permettant d'afficher sur l'ordinateur l'état de variables, de résultats de calculs ou de conversions analogique-numérique : un élément essentiel pour améliorer, tester et corriger ses programmes.

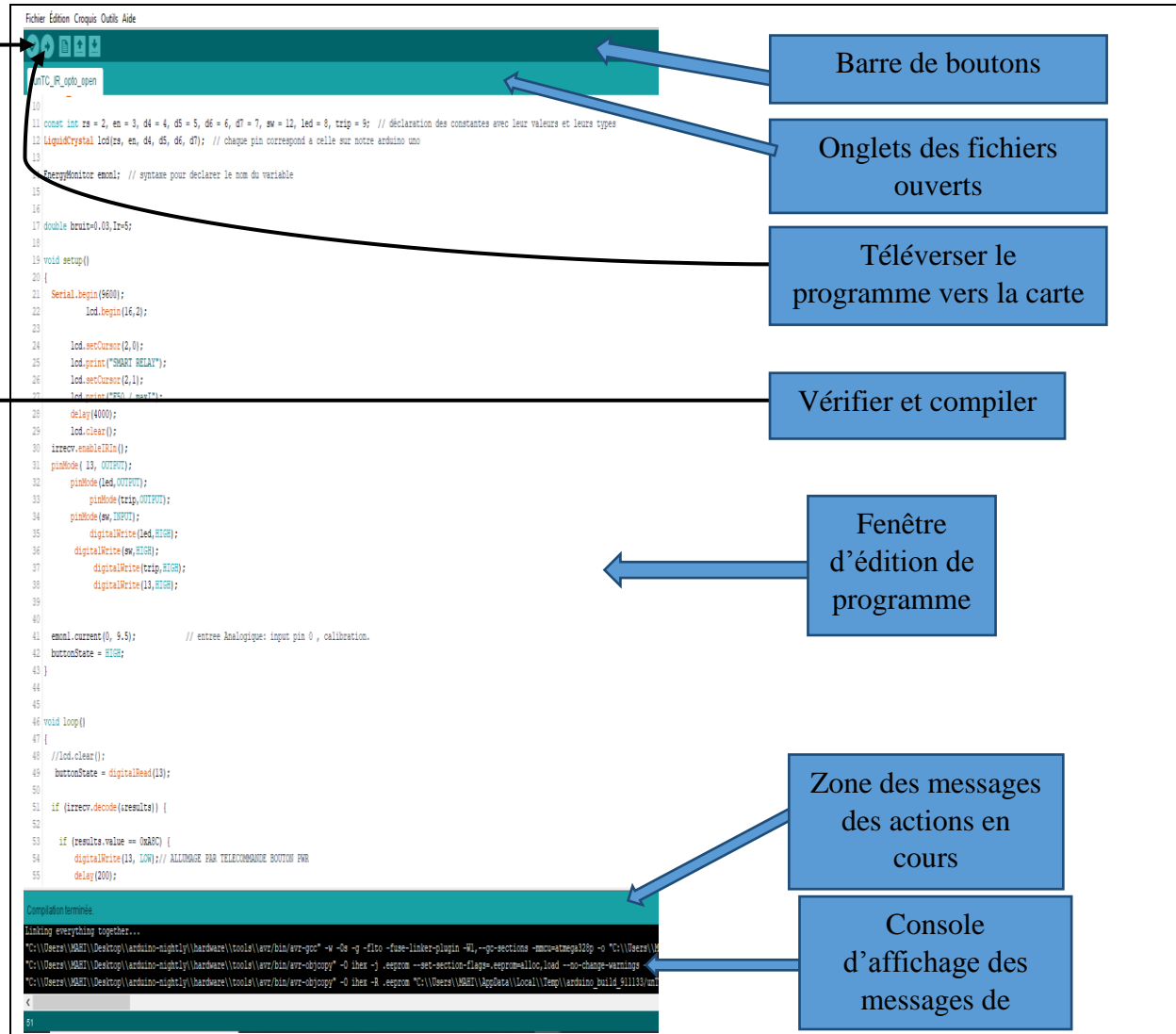


Figure IV-15: Interface de la plateforme Arduino [27]

## IV.5.2 DESCRIPTION DE LA STRUCTURE D'UN PROGRAMME

### IV.5.2.1 Description générale des parties

Un programme utilisateur Arduino est une suite d'instructions élémentaires sous forme textuelle, ligne par ligne. La carte lit puis effectue les instructions les unes après les autres, dans l'ordre défini par les lignes de code. Cette structure se décompose en trois parties :

#### IV.5.2.1.1 Description des constantes et variables du programme

Compromettre les déferentes bibliothèques et déclaration des constantes et les variables. Le code de notre projet est le suivant :

```
#include <LiquidCrystal.h> // introduire la bibliothèque de l'afficheur LCD 1602
```

---

```

#include "EmonLib.h"           // inclure la bibliothèque de calcul de l'énergie, courant et
tension
#include <IRremote.h>         // bibliothèque d'un détecteur / démodulateur IR
int RECV_PIN = 11 ;          // IR brancher sur l'entrée DIGITAL N° 11
int buttonState ;           // l'état des sorties DIGITAL de type entier.
IRrecv irrecv(RECV_PIN);    // Le signal codé reçue du télécommande
decode_results results;     // résultats va contenir le résultat de décodage de signal //
const int  rs = 2, en = 3, d4 = 4, d5 = 5, d6 = 6, d7 = 7, sw = 12, led = 8, trip = 9;
// Déclaration des constantes avec leur valeurs et leurs types.
LiquidCrystal lcd(rs, en, d4, d5, d6, d7) ; /* On initialise la librairie en lui indiquant les ports
utilisés sur l'Arduino.*/
EnergyMonitor emon1 ;       /* Créer une instance, syntaxe correspond à la bibliothèque
EmonLib.h */
float bruit=0.03, Ir=5 ;    /* Ir est une variable de type float. Elle contiendra la consigne (le
réglage du seuil de déclenchement) */

```

#### IV.5.2.1.2 Fonction principale :

Configuration des entrées/sorties et les éléments à configurer (cette partie ne sera exécutée qu'une seule fois) dans la partie VOID **SETUP** ()

```

void setup ()
{
  Serial.begin(9600) ; /* on fait appel à la bibliothèque Serial et on fixe la vitesse de
communication à 9600 bauds. */

  lcd.begin(16,2) ; /* On spécifie que l'écran LCD possède 16 colonnes ; 2 lignes.*/
  lcd.setCursor(2,0) ; //on place le curseur sur la colonne 2 ligne 1
  lcd.print("SMART RELAY"); // On écrit ce qui est entre guillemets .

  lcd.setCursor(2,1) ; //on place le curseur colonne 2 ligne 2
  lcd.print("F50 / maxI"); // On écrit ce qui est entre guillemets .

  delay(4000) ; // on laisse l'affichage pendant 4 seconde
  lcd.clear(); //on vide le contenu de l'écran

```

```
irrecv.enableIRIn(); // activation de la réception infrarouge.
```

```
pinMode( 13, OUTPUT); /*on utilise la broche numérique 13 comme une sortie*/
```

```
pinMode(led,OUTPUT); // la 8eme comme une sortie numérique.
```

```
pinMode(trip,OUTPUT); // la 9eme comme une sortie numérique.
```

```
pinMode(sw,INPUT); // la 12eme comme une entrée numérique.
```

```
digitalWrite(led,HIGH); /* la 8eme est en état haut c.a.d la LED sera allumer dès la mise en marche*/.
```

```
digitalWrite(trip,HIGH); // initialisation de l'état de la sortie 13 en Haut « 1 »
```

```
digitalWrite(13,HIGH); // initialisation de l'état de la sortie 13 en Haut « 1 »
```

```
emon1.current(0, 9.5); // lire et attribué emon1 la valeurs de l'entrée Analogique: input pin 0 . Calibration du rapport TC .Comme nous avons aussi étalonné notre mesure avec un multimètre en série (Ampèremètre) professionnel de type FLUKE 17B+ .le meilleur calibre obtenu est 9.5*/.
```

```
buttonState = HIGH ; // état logique par défaut est « 1 »
```

```
}
```

#### IV.5.2.1.3 Fonction boucle :

Description du fonctionnement général du programme (gestion des interactions entre les entrées/sorties) dans la partie : **VOID LOOP ()**

```
void loop()
```

```
{
```

```
    buttonState = digitalRead(13); // lire l'état logique de la broche N° 13
```

```
    if (irrecv.decode(&results)) { /* si la télécommande envoie un code faite le décoder et garder le résultat */
```

```
        if (results.value == 0xA8C) { // comparer le code décoder reçu de la télécommande par la valeur hexadécimale 0xA8C */
```

```
            digitalWrite(13, LOW); /* si la condition est vérifier la sortie 13 va prendre l'état bas qui va attaquer indirectement et à travers un commutateur de permission de la télé-fermeture (local/distant) de notre contacteur en donnons un « 0 » logique au module de relais optocoupleur*/
```

```
                delay(200);
```

---

```

digitalWrite(13,HIGH); // réinitialiser la pin 13 en état « 1 » logique
}
buttonState = digitalRead(trip); // lire l'état logique de la broche N° 9
if (irrecv.decode(&results)) {
if (results.value == 0x95C6EAD7) { /* comparer le code décodé reçu de la télécommande
par la valeur hexadécimale 0x95C6EAD7 */
digitalWrite(trip, LOW); /* si la condition est vérifiée la sortie 9 va prendre l'état bas
qui va attaquer indirectement et à travers un commutateur de permission de la télé-ouverture
(local/distant) de notre contacteur en donnons un « 0 » logique au module de relais
optocoupleur*/
}
}
irrecv.resume(); // reprendre l'écoute de la transmission par télécommande
}

Serial.print(" ");
Serial.println(results.value, HEX); // afficher le code déchiffré sur le moniteur série en
Hexadécimal.
delay(100);

boolean etat = digitalRead(sw); /* lire l'état logique de l'entrée 12(état haut initialisé en
préalable */

lcd.setCursor(0,1); //on place le curseur sur la colonne 0 ligne 1

lcd.print("Ir = "); // On écrit ce qui est entre guillemets .

if (etat == LOW) { /* si l'état de l'entrée 12 est à l'état bas correspond à l'appui du bouton
poussoir de réglage de seuil faire incrémenté Ir par 0.25*/

Ir+=0.25 ;

delay(30); // un court durée pour ne pas attendre trop pour incrémenté notre valeur
}

if (Ir > 5) { // si Ir dépasse la valeur 5 elle revient au 0

Ir=0 ;

}

lcd.print(Ir); // affiché la nouvelle valeur de Ir

lcd.print(" A ");

delay(10);

```

---

```
double Irms = emon1.calcIrms(1480); /* calcul de courant efficace en prenons 1480
échantillons par seconde*/
```

```
Serial.print(Irms); // affiché la valeur calculé sur le moniteur série
lcd.setCursor(0,0); //on place le curseur du LCD sur la colonne 0 ligne 0
lcd.print("I = "); // On écrit ce qui est entre guillemets dans l'écran LCD.
lcd.print(Irms); // affiché sur LCD la valeur mesuré et calculé Irms
lcd.print(" A ");
    if(Irms>Ir){
```

/\* si la valeur efficace Irms dépasse la valeur de Ir réglé alors on bascule la sortie trip(9) vers l'état bas « 0 » logique qui va attaquer à travers le module de relais optocoupleur la bobine de déclenchement de notre contacteur et faire clignoté la LED pin 8 et affiché sur écran ce qui est entre guillemets « TRIP » qui signifie déclenchement. Si non l'état de la pin 9 reste en « 1 » logique \*/

```
        digitalWrite(trip,LOW);
        lcd.clear();
        digitalWrite(led,LOW);
        delay(100);
        digitalWrite(led,HIGH);
        delay(200);
        lcd.print("TRIP");
    }
else {
        digitalWrite(trip,HIGH);
    }
}
```

## IV.6 PLATEFORME ET ETAPES DE CONCEPTION AVEC QUARTUS :

### IV.6.1 PRÉSENTATION :

**Quartus** est un logiciel proposé par la société Altera, permettant la gestion complète d'un flot de conception FPGA. Ce logiciel permet de faire une saisie graphique ou une saisie texte (description VHDL) d'en réaliser une simulation, une synthèse et une implémentation sur cible reprogrammable.

La méthode de programmation que nous avons utilisée pour notre projet est la description matérielle par saisie graphique. Cette méthode permet de placer directement les composants



(symboles graphiques) utilisés et de les interconnecter soit à l'aide de net ou de bus lorsqu'ils contiennent plusieurs fils.

Pour notre projet on va utiliser cette carte pour la conception d'une logique de commande pour les verrouillages électrique possible des manœuvres de disjoncteur ou contacteur, afin d'éviter les dégâts matériels et surtout humaine avec signalisation des défauts.

En ce qui suit et avant de passer à la présentation du logiciel Quartus nous devons expliquer cette logique de commande qu'on doit l'utiliser.

### IV.6.1.1 Les logiques de commande et signalisations :

#### IV.6.1.1.1 cahiers de charge de verrouillage d'enclenchement :

- Dans la réalité il existe un disjoncteur avec deux bobines :
  - Une pour l'enclenchement (par ordre de fermeture électrique).
  - Et l'autre pour le déclenchement (par ordre d'ouverture électrique).
  - Le disjoncteur alors il est soit en état ouvert «  $\mathbf{Ed}=0$  » soit en état fermée «  $\mathbf{Ed}=1$  ».
  - Comme il a deux positions soit il est embranché «  $\mathbf{Pdj}=1$  » dans l'installation soit débrancher «  $\mathbf{Pdj}=0$  » pour garantir une isolation très sûre.
  
- Comme il existe un sectionneur de mise à la terre après l'isolation des conducteurs de la partie active sous tension pour respecter les règles de sécurité. Il peut être en deux états lui aussi :
  - Sectionneur ouvert «  $\mathbf{Es}=0$  ».
  - Sectionneur fermée «  $\mathbf{Es}=1$  ».
  
- Et pour pouvoir faire des manœuvres de fermeture et d'ouverture sur le disjoncteur après son isolation de l'installation pour les essais hors tension ou de vérification de la protection il nous faut une entrée supplémentaire de permission d'essai quand va l'appelé position d'essai «  $\mathbf{Ps}$  »
  - Position d'essai active «  $\mathbf{Ps}=1$  ».
  - Position d'essai inactive «  $\mathbf{Ps}=0$  ».

#### IV.6.1.1.2 Les conditions :

##### En état normale :

- Si le disjoncteur est embranché et ouvert avec le sectionneur de terre ouvert alors l'ordre de fermeture va passer «  $\mathbf{DJ\_C}$  ».
- Si le disjoncteur est embranché et ouvert avec le sectionneur de terre fermée alors l'ordre de fermeture **ne doit pas** passer.
- Si le disjoncteur est embranché et fermé avec le sectionneur de terre ouvert alors l'ordre de fermeture ne passera pas.
- La position d'essai n'a pas d'influence quand le disjoncteur est embranché.
- Quand le disjoncteur est fermé, il est nécessaire de verrouiller mécaniquement la fermeture du sectionneur de mise à la terre pour éviter les dégâts.

**En état de teste :**

- Le disjoncteur est débranché et ouvert avec position d'essai active alors la fermeture est autorisée.
- Le disjoncteur est débranché et ouvert avec position d'essai inactive alors la fermeture n'est pas autorisée.
- L'état de sectionneur de mise à la terre n'a pas d'influence quand le disjoncteur est débranché.

**IV.6.1.1.3 Table de vérité**

Position disj(emb/debr) <b>Pdj</b>	Etat dis(f/o) <b>Ed</b>	Etat sect(ouv/ferm) <b>Es</b>	Position d'essai (act/inact) <b>Ps</b>	Possibilité de fermeture <b>DJ_C</b>
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Tableau IV-2: table de vérité

**IV.6.1.1.4 Simplification par Tableau de Karnaugh :**

DJ\_C =

Pdj Ed\Es Ps	00	01	11	10
00	0	1	1	0
01	0	0	0	0
11	0	0	0	0
10	1	1	0	0

Tableau IV-3 : table de Karnaugh

**Simplification :**

**DJ\_C = le premier regroupement + le deuxième regroupement.**

$$DJ\_C = (Ps) * NOT(Pdj) * NOT(Ed) + NOT(Es) * NOT(Ed) * (Pdj)$$

$$DJ\_C = NOT(Ed) [(Ps) * NOT(Pdj) + NOT(Es) * (Pdj)]$$

$$= \boxed{DJ_C = \overline{Ed}(Ps\overline{Pdj} + \overline{Es}Pdj)}$$

- ✓ L'ordre de fermeture parvenir par un signal 1 logique soit par le bouton de fermeture en local ou par télécommande à distance. Alors pour que la fermeture soit faite il faut que DJ\_C soit à 1 et l'ordre de fermeture égal à 1 aussi. Et puisque notre module de relais optocoupleur est configure a l'Etat bas « 0 » logique pour fonctionner il suffit de mettre une porte NAND a la sortie de notre circuit logique.
- ✓ Lors du déclenchement un signale attaque une bascule JK a l'entrée J (mise a un de la sortie) nous allons préparer 2 sorties, une pour signalisation par LED et l'autre pour la signalisation sonore la sortie inversée pour la signalisation de situation sans défaut. L'entrée k (mises à zéro la sortie) attaqué par un signal d'acquiescement par bouton poussoir de l'utilisateur.

**IV.7 ÉTAPES À SUIVRE POUR LA CONCEPTION :**

On va construire ces étapes avec des explications contenant des captures d'écran avec des instructions à suivre :

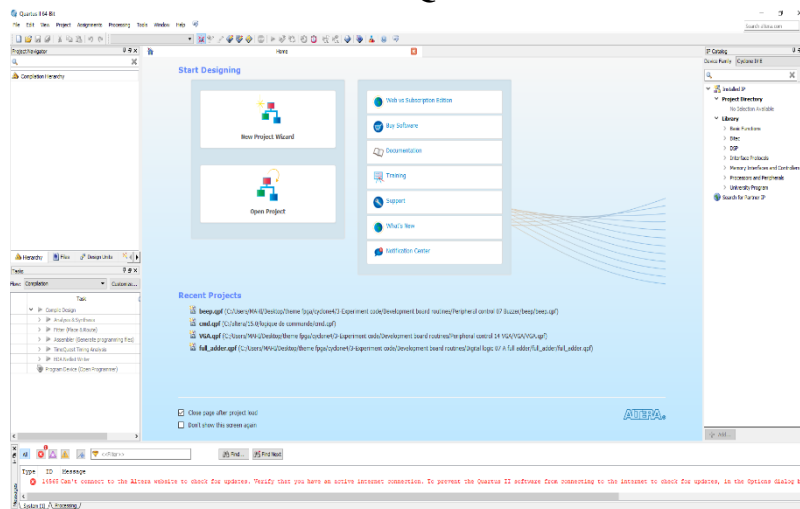
**IV.7.1 OUVERTURE DU LOGICIEL QUARTUS :**

Figure IV-16: interface du logiciel Quartus II version 15.0 web édition [27]

**IV.7.2 CRÉATION D'UN NOUVEAU PROJET**

Pour créer un nouveau projet il suffit de cliquer sur **New Project Wizard** ou sur **File** puis sur **New Project Wizard** en fin sur **OK**, et suivre l'assistant de création d'un nouveau projet qui nous guiderons facilement :

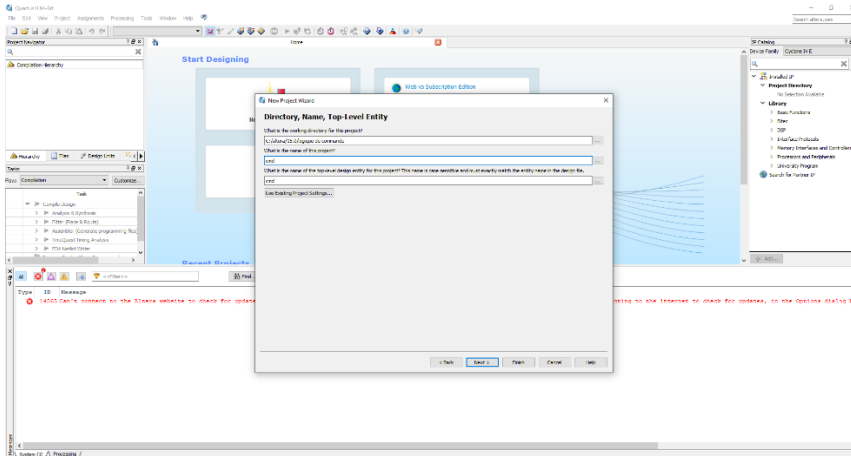


Figure IV-17: Création d'un nouveau projet sous Quartus II [27]

Choisir l'emplacement du répertoire où seront stockés tous les fichiers du projet.  
 Choisir le nom de votre projet.  
 Choisir le nom de l'entité maître du projet.  
 Conseil : il faut créer un répertoire de travail par projet.

### IV.7.3 CHOIX DE LA CARTE A UTILISÉ

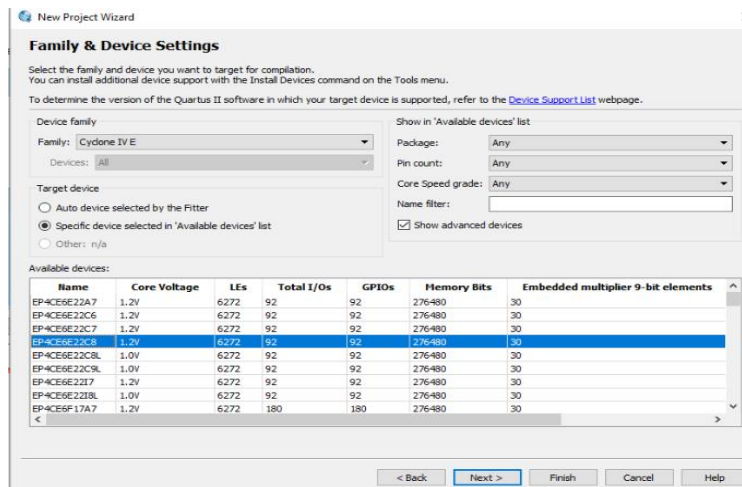


Figure IV-18: Configuration du choix du circuit cible à implémenter [27]

Choisir la famille du composant programmable ainsi que le circuit cible.  
 - **Device Family** : Choisir Cyclone IV E.  
 - **Available device** : sélectionner EP4CE6E22C8N.

#### IV.7.4 VALIDATION DE LA CONFIGURATION :

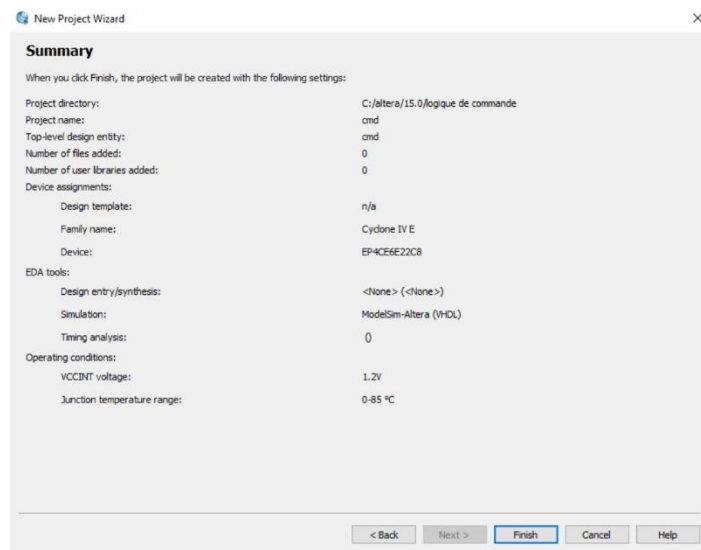


Figure IV-19: validation et affichage récapitulative [27]

Après avoir validé les choix précédents en cliquant sur **Next**, la fenêtre **EDA Tool Settings** apparaît. Cliquer encore une fois sur **Next** ce qui fait apparaître une fenêtre récapitulative. Vous pouvez valider les choix par **Finish** ou bien faire **Back** pour des modifications éventuelles.

#### IV.7.5 CHOIX DE LA MÉTHODE DE LA PROGRAMMATION :

Dans le navigateur de Projet, un onglet avec le type de composant et l'entité maître apparaît et on va sélectionner **Block Diagram/Schematic File** dans notre cas :

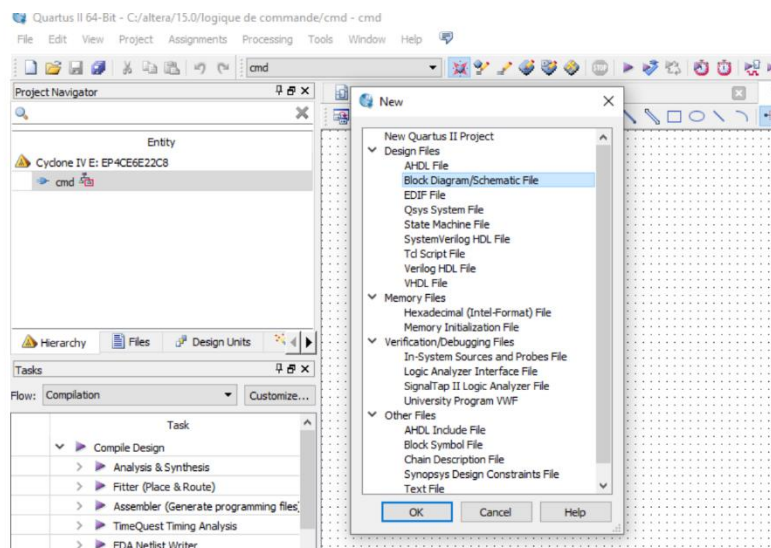


Figure IV-20: sélection de méthode de saisie de programme [27]

**Remarque :** Une feuille blanche se crée intitulée Block1.bdf. On prendra soin de sauver cette feuille sous le nom de l'entité maître, car c'est maintenant graphique qui a la hiérarchie la plus haute dans le projet.

#### IV.7.6 UTILISATION DE LA BOITE À OUTILS ET FONCTIONNALITÉ :

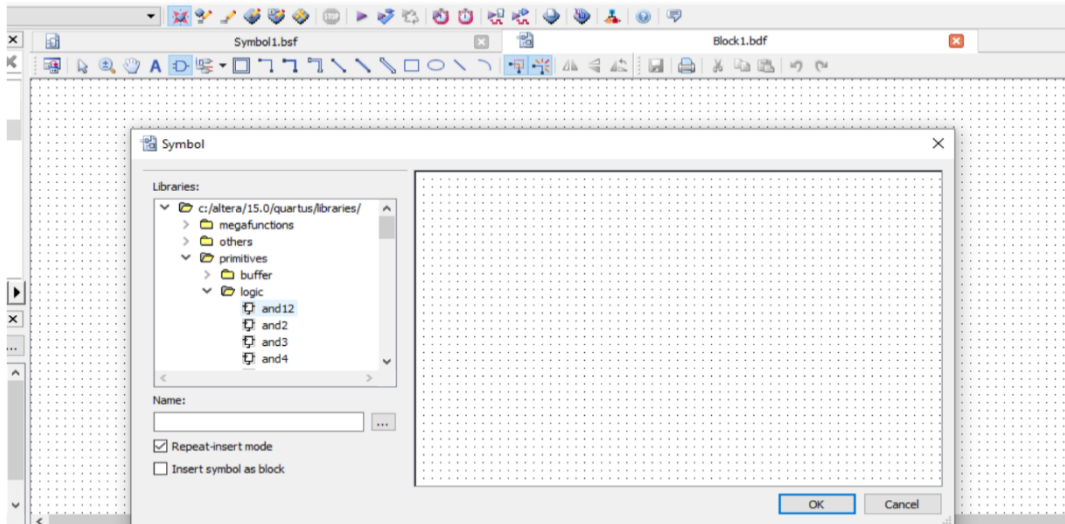


Figure IV-21: symboles et bibliothèque [27]

A partir de là, on peut appeler tous sortes de circuit existant dans le monde de l'électronique numérique simple et complexe comme : les portes logique, les bascules, les multiplexeurs, encodeurs, décodeurs, registres, mémoires, les additionneurs les multiplieurs même les blocs des différents montages complexes comme les DSP les filtres numériques et encore plus que vous l'imaginez.

#### IV.7.7 RÉALISATION DE NOTRE CIRCUIT LOGIQUE :

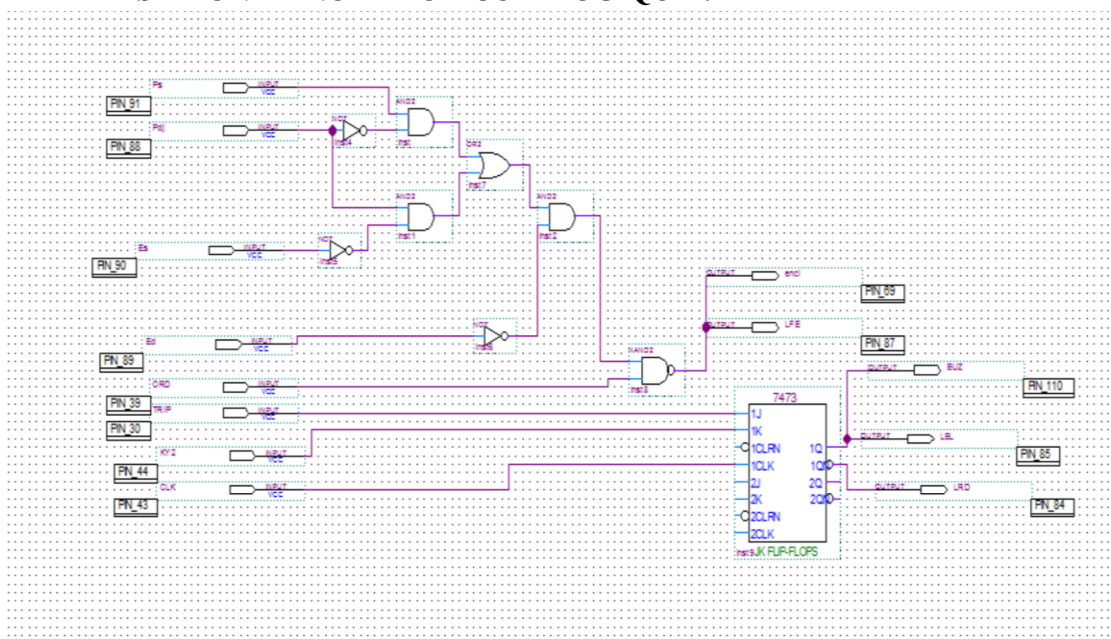


Figure IV-22 : schéma logique réalisé [27]

### IV.7.8 COMPILATION

Durant la compilation, Quartus va réaliser 4 étapes :

**a-** La transformation des descriptions graphiques et textuelles en un schéma électronique à base de portes et de registres : c'est la *synthèse logique*.

**b-** L'étape de Fitting (ajustement) consiste à voir comment les différentes portes et registres (produit par la synthèse logique) peuvent être placés en fonction de ressources matérielles du circuit cible (**EP4CE6E22C8N**) : c'est la *synthèse physique*.

**c-** L'assemblage consiste à produire les fichiers permettant la programmation du circuit. Ce sont des fichiers au format Programmer Object Files (.pof), SRAM Object Files (.sof), Hexadécimal (Intel-Format) Output Files (.hexout), Tabular Text Files (.ttf), et Raw Binary Files (.rbf).

**d-** L'analyse temporelle permet d'évaluer les temps de propagation entre les portes et le long des chemins choisis lors du fitting (raccordement).

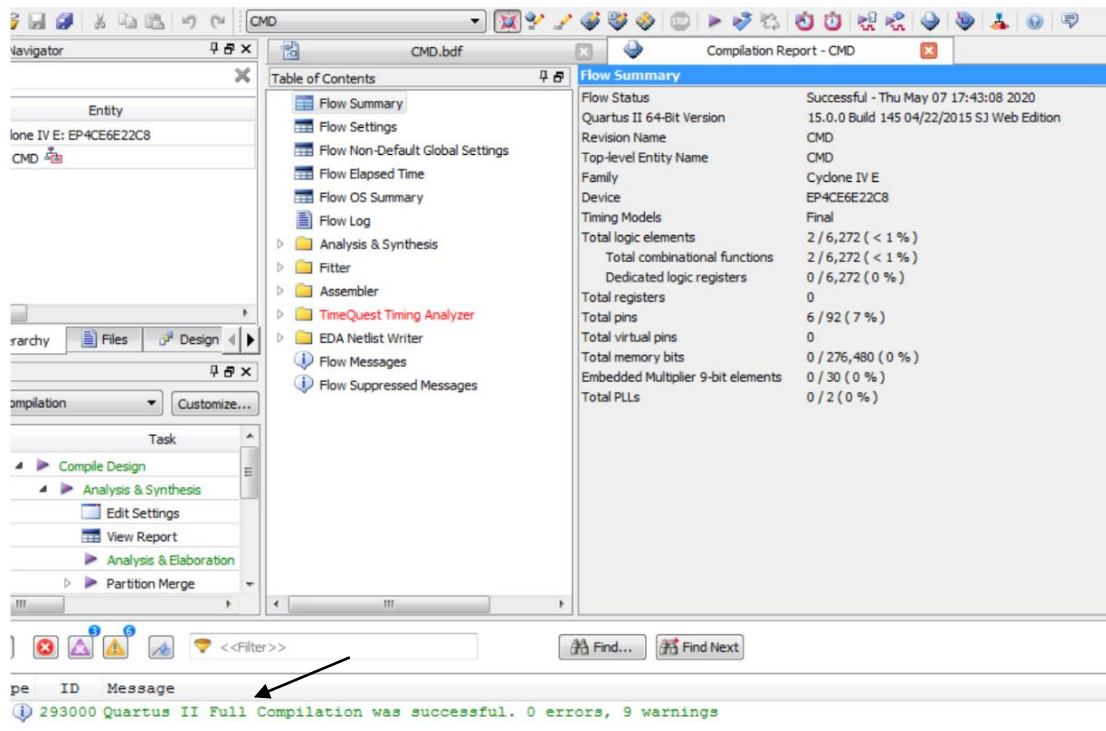


Figure IV-23: rapport de l'outil « Compilateur » [27]

En bas il s'affiche les messages d'erreur et d'avertissement. Normalement, il ne doit pas y avoir. Si ce n'est pas le cas, on vérifie dans la zone **Processing** () la source du problème.

IV.7.9 VISUALISATION DE LA SYNTHÈSE LOGIQUE :

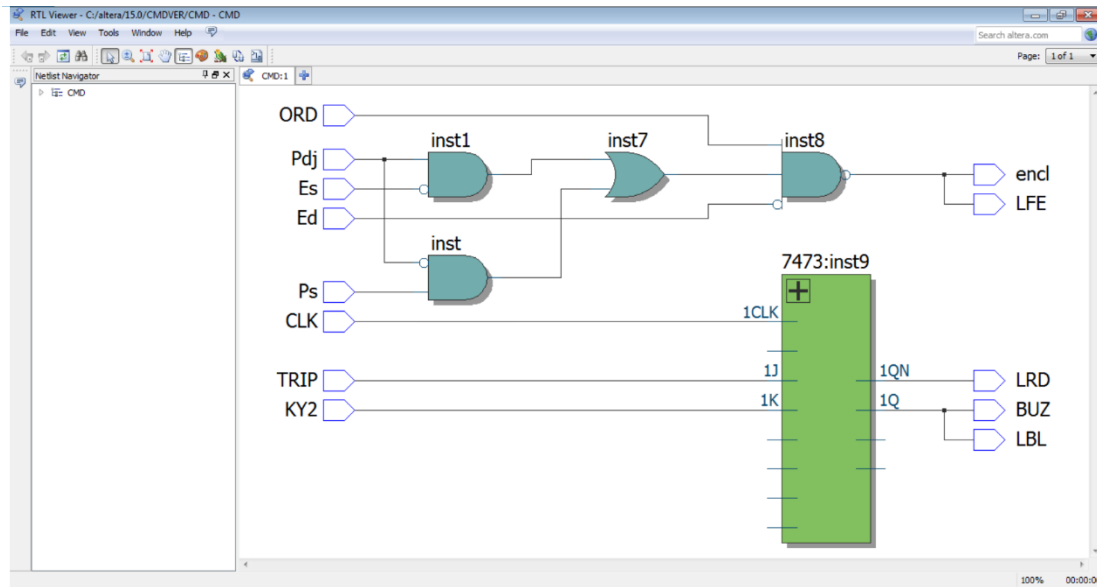


Figure IV-24: RTL : (Register Transfer Logic) Visualisation de la synthèse logique [27]

IV.7.10 PLANIFICATION DES PINS (PIN PLANNER) :

The screenshot shows the Pin Planner tool. At the top, there is a 'Report' window and a 'Tasks' window. The main area displays a 'Top View' of the Cyclone IV E chip (EP4CE22C8) with a grid of pins. A legend on the right lists various pin types and their symbols. Below the chip view is a table with the following columns: Node Name, Direction, Location, I/O Bank, VREF Group, Fitter Location, I/O Standard, and Reserved. An arrow points from the 'Location' column of the table to the corresponding pin on the chip view.

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved
in_ KY2	Input	PIN_89	5	B5_N0	PIN_1	2.5 V (default)	8mF
in_ TRIP	Input	PIN_30	2	B2_N0	PIN_2	2.5 V (default)	8mF
in_ CLK	Input	PIN_43	3	B3_N0	PIN_3	2.5 V (default)	8mF
out_ LRD	Output	PIN_84	5	B5_N0	PIN_7	2.5 V (default)	8mF
in_ Ed	Input	PIN_8	1	B1_N0	PIN_83	2.5 V (default)	8mF
in_ Es	Input	PIN_90	6	B6_N0	PIN_84	2.5 V (default)	8mF
in_ Pdj	Input	PIN_88	5	B5_N0	PIN_85	2.5 V (default)	8mF
out_ end	Output	PIN_6	1	B1_N0	PIN_86	2.5 V (default)	8mF
in_ ORD	Input	PIN_39	3	B3_N0	PIN_90	2.5 V (default)	8mF

Figure IV-25: Localisation des broches disponible du circuit [27]

On double clic sur la colonne **location** au niveau du pin voulu de manière à faire apparaître un menu déroulant où sont répertoriées les broches disponibles du circuit.

La liste des broches utilisables pour le FPGA et sortant sur les connecteurs est donnée dans le manuel de la carte cyclone IV E d'Altéra trouve dans l'annexe. Ne pas oublier de compiler avant la programmation.



### IV.7.11 LA PRÉ-PROGRAMMATION DU CIRCUIT :

La programmation du circuit se fait via le protocole JTAG. Pour cela, on doit vérifier que la connexion entre le PC et la carte FPGA via le module USB-Blaster est opérationnelle.

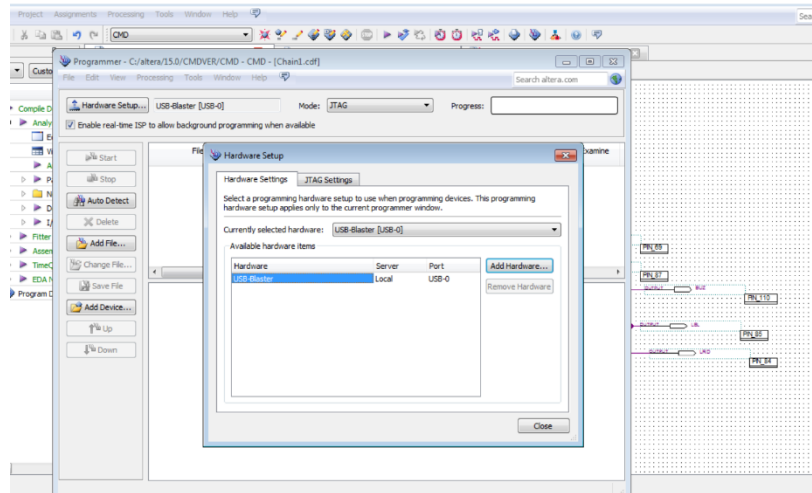


Figure IV-26: configuration matériel (USB BLASTER) [27]

Si tout est **vérifier** on lance le programmeur : Cliquons sur **Tools** puis sur **Programmer**. On configure la carte reliée pour l'implantation de notre circuit et confirmer que le fichier a programmé est localisé :

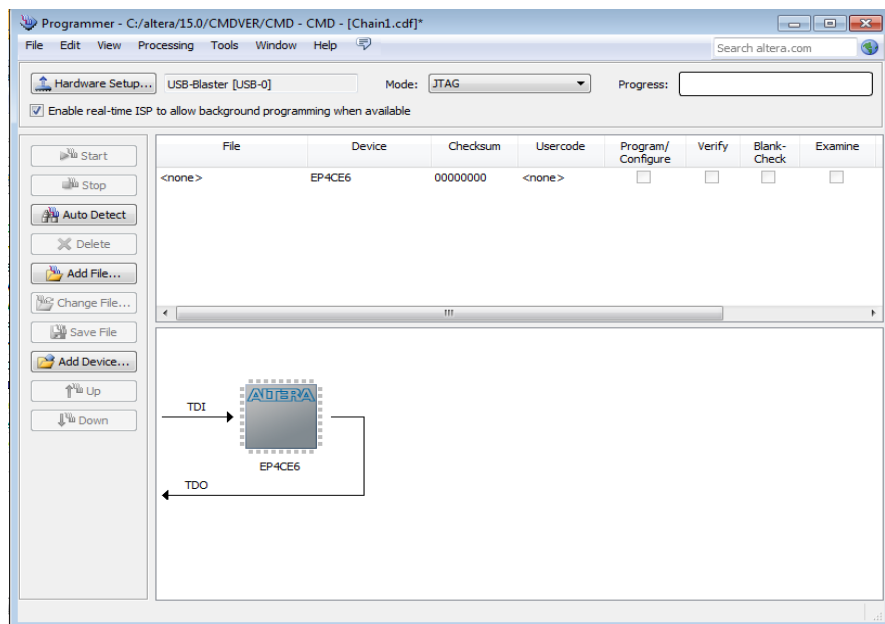


Figure IV-27: étape pré-programmation avec Quartus [27]

## IV.7.12 PROGRAMMATION DU CIRCUIT

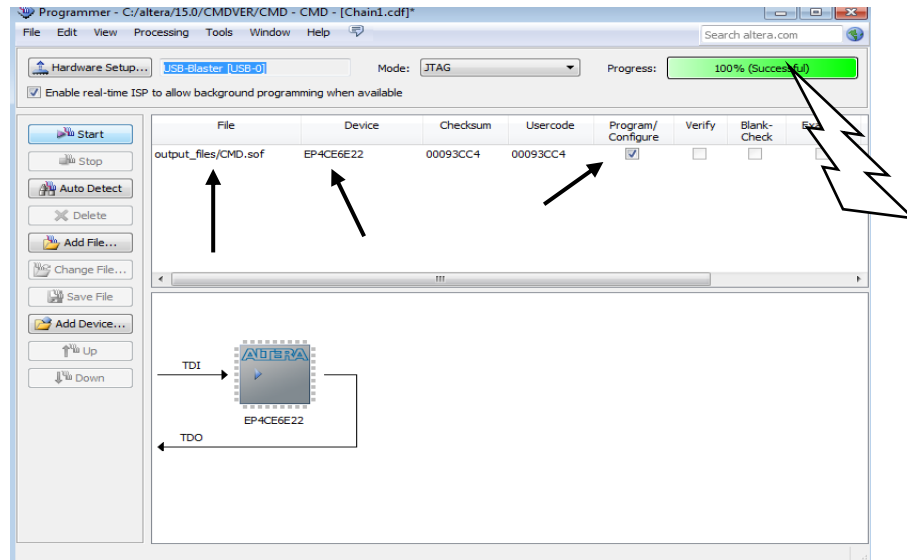


Figure IV-28: confirmation de l'implantation de notre circuit logique [27].

Vérifions que le fichier avec l'extension (**.sof**) est bien localisé (sélectionner le) et que la case **Program/Configure** est cochée, puis cliquer sur **Start**.

Si l'opération est réussie le résultat de l'implantation s'apparaît en haut à droite se confirme que le transfert s'est déroulé complètement et avec **succès**.

- Maintenant notre carte est prête pour les essais il suffit de respecter la numérotation exacte attribué pour les entrées et les sorties.

IV.8 SCHEMAS DE BROCHAGE ET REALISATION :

IV.8.1 SCHEMA DE BROCHAGE AVEC ARDUINO :

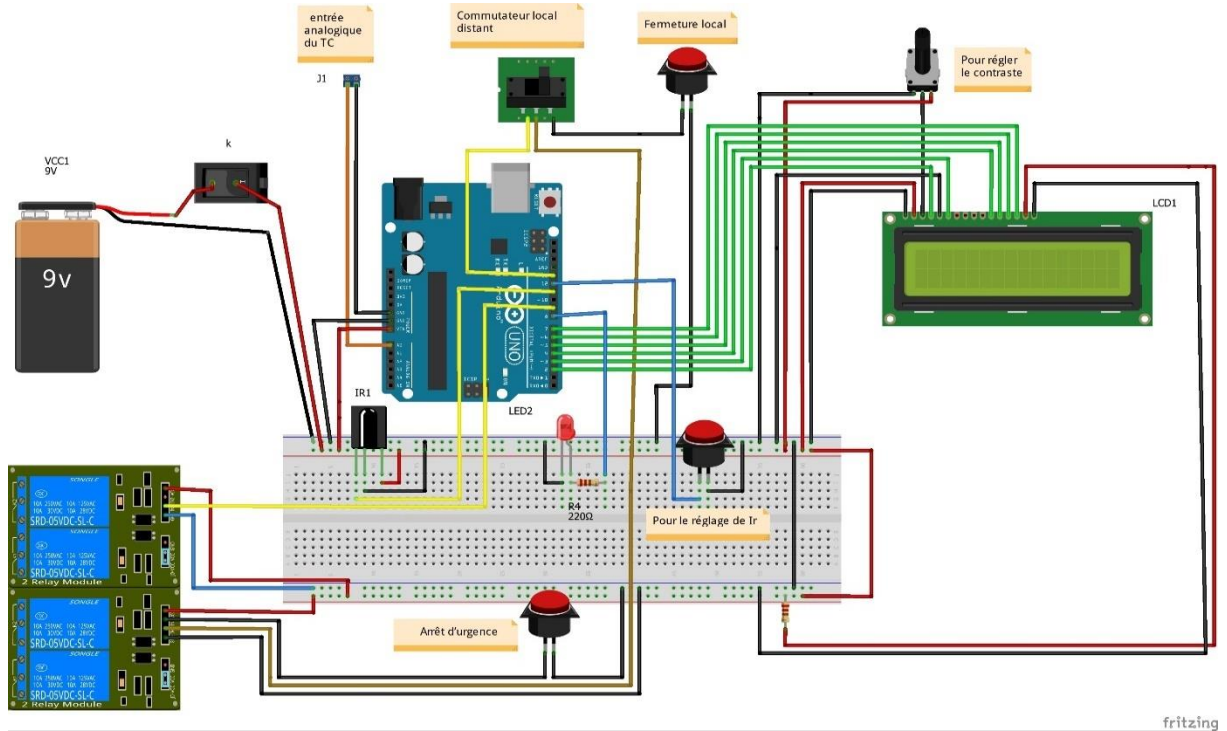


Figure IV-29: Schéma pour brancher les composants à un Arduino UNO [27]

IV.8.2 SCHEMA DE BROCHAGE AVEC FPGA :

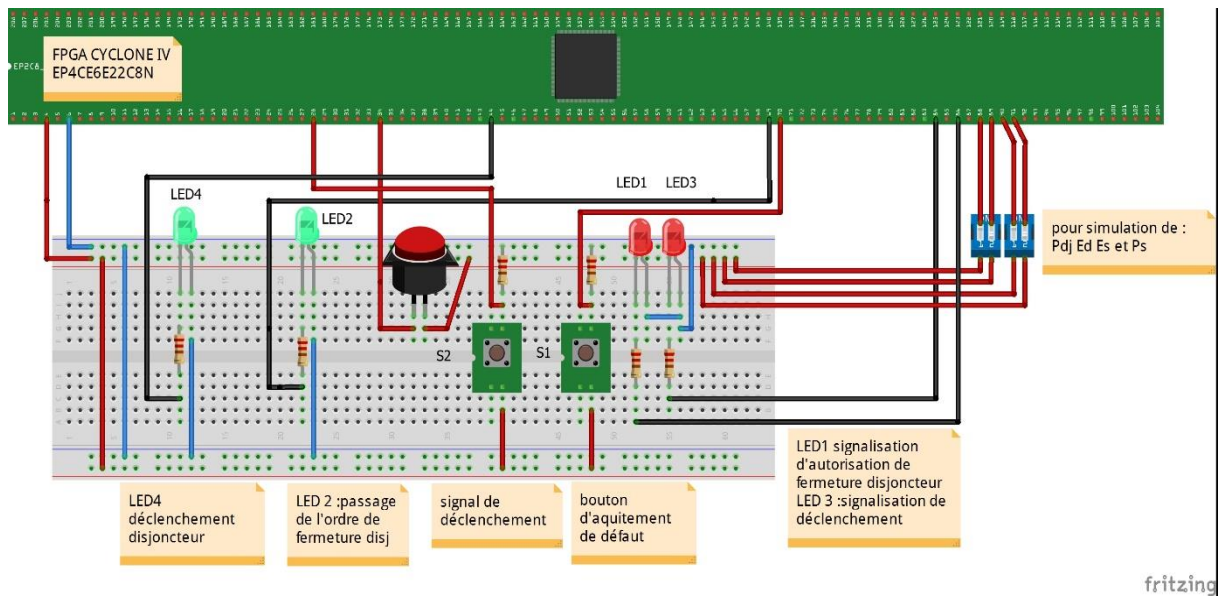


Figure IV-30: Schéma pour brancher les composants à la FPGA [27].

### IV.8.3 SIMULATION ET TEST DU PROGRAMME

Après élaboration du programme, on a mené des simulations soft de la partie de l'environnement ARDUINO par le logiciel Proteus (figure IV-31) afin de corrigé et modifier le programme pour qu'il convient à nos demandes. Le fichier Hexadécimale est appelé à partir d'une compilation du programme par le logiciel d'Arduino de notre code. Et ce qui concerne la partie du FPGA la simulation et directement sur le KIT de développement CYCLONE IV de ALTERA (figure IV-32) en générant le fichier (.sof).

Après étalonnage et teste de notre circuit (figure IV-33) on a procédé à regrouper notre montage dans un boîtier vide de kit Arduino pour aménager la filerie e et l'encombrement des composants (figure IV-34). Le capteur de courant est monte sur l'une des câbles de sortie du discontacteur utilisé pour le teste.

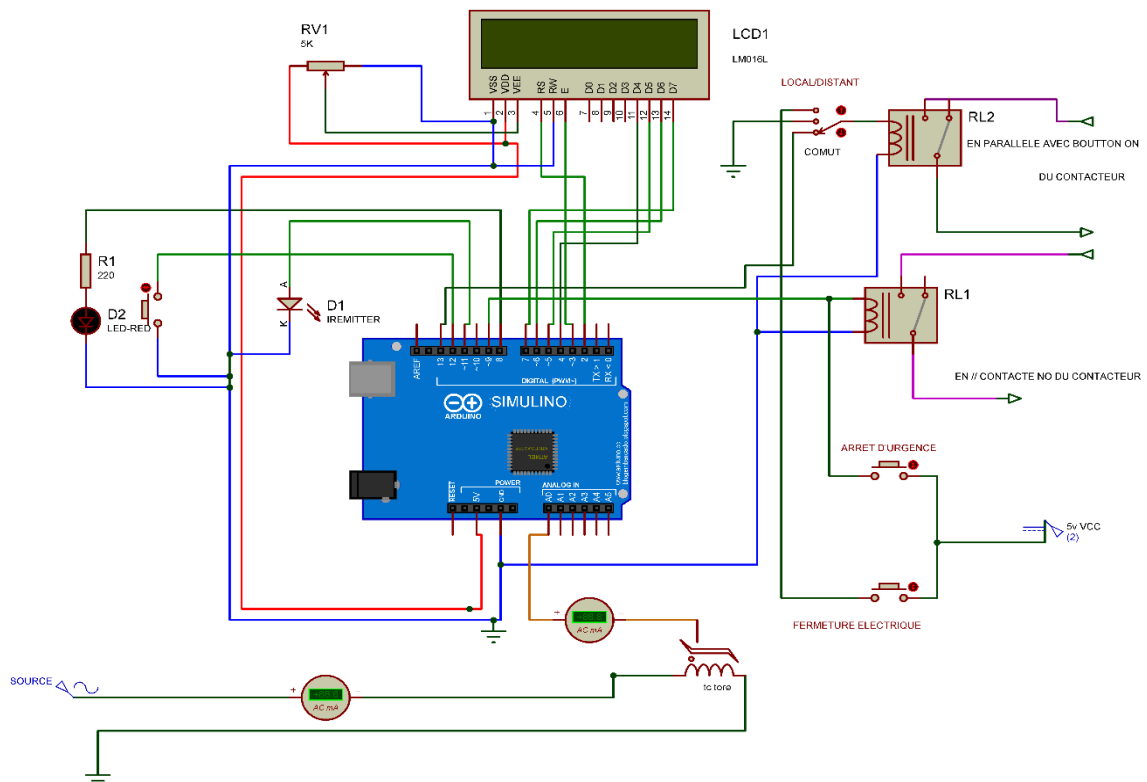


Figure IV-31: schéma de simulation sur PROTEUS [27]

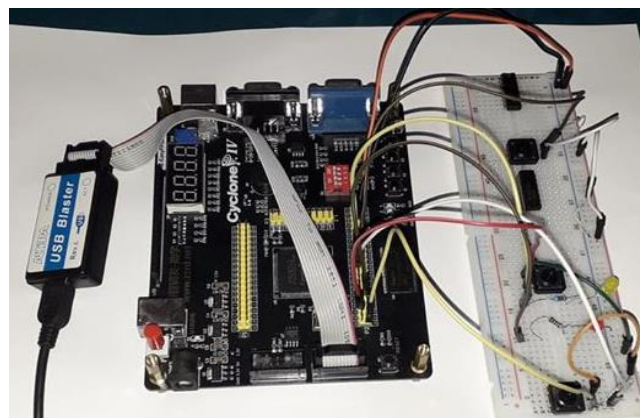


Figure IV-32 simulation par Cyclone IV [27].

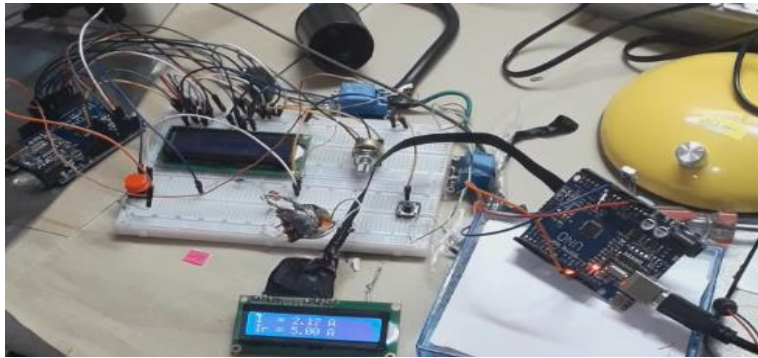


Figure IV-33: photo de platine d'essai et teste de fonctionnement [27]



Figure IV-34 : photo de notre relais câblé avec un discontacteur. [27]

## IV.9 RÉSULTATS OBTENU :

Les résultats de la simulation finale ont montré le bon fonctionnement de notre relais. Nous avons commencé les essais réels par la mesure de courant en ajoutant des charges (des lampes 75 watt) à chaque fois. Les mesures sont prises par un multimètre digital professionnel de type FLUKE 17B utilise comme ampèremètre en série avec la charge et les comparer avec les valeurs affichées sur notre relais puis on a pris une charge définie et on a répété la mesure plusieurs fois pour Déterminer l'intervalle de confiance de cette mesure.

A la fin il nous reste qu'a testé la réaction de notre relais numérique réalisé par des défauts simulés de surcharge en réglant des différentes valeurs de seuil de déclenchement :

### IV.9.1 MESURE AVEC PLUSIEURS CHARGES

Nb de lampes	1	2	3	4	5
<b>I flk (A)</b> (par multimètre)	<b>0.32</b>	<b>0.64</b>	<b>0.97</b>	<b>1.30</b>	<b>1.61</b>
<b>I rls (A)</b> (par relais)	<b>0.31</b>	<b>0.64</b>	<b>0.96</b>	<b>1.29</b>	<b>1.62</b>

Tableau IV-4: tableau des essais réel de plusieurs charges. [27]

$$\bar{I} flk = \frac{0.32 + 0.64 + 0.97 + 1.30 + 1.61}{5} = 0.968 A$$

$$\bar{I}rls = \frac{0.31 + 0.64 + 0.96 + 1.29 + 1.62}{5} = \mathbf{0.964 A}$$

- Erreur absolue =  $|X_v - X_m| = |\bar{I}flk - \bar{I}rls| = |0.968 - 0.964| = 0.04 A$

**Incertitude absolue = limite supérieure de l'erreur absolue =  $\Delta X$  avec**

$$(X = \bar{I}rls = \mathbf{0.964})$$

Si on admet les erreurs perturbatrices comme la température humidité, champs extérieurs, trépidations. L'erreur globale est de 1.5 % approximativement, l'incertitude absolue est donc :

- $\Delta X =$  erreur absolue en pourcentage + l'erreur globale =  $(0.04 * 100) + 1.5$

$$\Delta X = 5.5 \%$$

- **Erreur relative** =  $\frac{\text{Erreur absolue}}{\text{Valeur mesurée}} = \frac{0.04}{0.964} = 0.041$

- **Incertitude relative** (elle nous donne la précision de la mesure et s'exprime en pourcentage) = limite supérieure de l'erreur relative

$$= \frac{\text{Incertitude absolue}}{\text{valeur mesuré}} = \frac{\Delta X}{X_m} = \frac{5.5}{0.964} = \mathbf{5.70\%}$$

#### IV.9.2 MESURE SUCCESSIVE D'UNE SEUL CHARGE

Nb de mesure (2 lampes)	1	2	3	4	5
<b>I rls (A)</b> (par relais)	<b>0.64</b>	<b>0.64</b>	<b>0.65</b>	<b>0.64</b>	<b>0.64</b>

Tableau IV-5: tableau des essais réel avec plusieurs reprises. [27]

- 1- On calcule  $\bar{I}rls$  : par définition de **la moyenne** :  $\bar{i} = \frac{\sum_{a=1}^5 ia}{5}$

$$\bar{I}rls = \frac{0.64 + 0.64 + 0.65 + 0.64 + 0.64}{5} = \mathbf{0.642 A}$$

- 2- Calcule de  $\overline{\Delta I}$  : par définition de **l'écart moyen**  $\overline{\Delta i} = \frac{\sum_{a=1}^5 |ia - \bar{i}|}{5}$

$$\overline{\Delta I}rls = 4 * (|0.64 - 0.642|) + |0.65 - 0.642| = \mathbf{0.016 A}$$

- 3- Détermination de l'**intervalle de confiance** de cette mesure par définition de l'intervalle de confiance :  $[\bar{i} - \overline{\Delta i}, \bar{i} + \overline{\Delta i}]$

$$\begin{aligned} [\bar{i} - \overline{\Delta i}, \bar{i} + \overline{\Delta i}] &= [\bar{I} rls - \overline{\Delta I} rls, \quad \bar{I} rls + \overline{\Delta I} rls] \\ &= [0.642 - 0.016, 0.642 + 0.016] \\ [\bar{i} - \overline{\Delta i}, \bar{i} + \overline{\Delta i}] &= [\mathbf{0.626 ; 0.658}] \end{aligned}$$

### IV.9.3 TEST DE RELAIS SUITE UN DÉFAUT DE SURCHARGE :

Nous avons utilisé des charges plus proches de la valeur réglée avec une charge de valeur variable progressivement par un potentiomètre pour visualiser avec précision le temps et la valeur d'atteindre le seuil de déclenchement.

<b>Ir(A)</b> Courant réglé	1.5	2.5	3.25	4.25	5
<b>Id(A)</b> Seuil de déclenchement	1.51	2.52	3.24	4.25	5
<b>T (Temps d'attente)</b>	inst <sub>3</sub>	inst	inst	inst	inst

Tableau IV-6 Résultats obtenu avec plusieurs charges [27]

$$\overline{Ir} = \frac{1.5 + 2.5 + 3.25 + 4.25 + 5}{5} = \mathbf{3.3 A}$$

$$\overline{Id} = \frac{1.51 + 2.52 + 3.24 + 4.25 + 5}{5} = \mathbf{3.304 A}$$

- Erreur absolue =  $|X_v - X_m| = |\overline{Ir} - \overline{Id}| = |3.3 - 3.304| = 0.04 A$

Avec l'Incertitude absolue =  $\Delta X = 5.5 \%$

- **Erreur relative** =  $\frac{\text{Erreur absolue}}{\text{Valeur mesurée}} = \frac{0.04}{3.304} = \mathbf{0.012 A}$

- Incertitude relative =  $\frac{\text{Incertitude absolue}}{\text{valeur mesuré}} = \frac{\Delta X}{X_m} = \frac{5.5}{3.304} = \mathbf{1.66 \%}$

<sup>3</sup> Inst : déclenchement en instantané

**IV.10 CONCLUSION :**

Après plusieurs essais avec des différentes charges nous avons réussi à étalonner notre relais pour donner les meilleurs résultats de mesure avec plus de précision et de justesse.

Puisque l'étendu de mesure de notre relais dépend de capteur de courant utilisé (0-5A) ont été limité par cette valeur, pour augmenter cet intervalle il suffit de changer les TC utilisé par d'autre qui ont un étendu plus large et changer le calibre dans le code utilisé.

L'avantage majeur d'utiliser les cartes électroniques Arduino et FPGA c'est qu'on peut à tout moment changer la configuration ou la structure et même la conception de nos montages selon nos besoins sans modification matériel.



# **CONCLUSION GENERALE**

### V. CONCLUSION GÉNÉRAL

---

Dans le cadre de notre projet, notre but était de faire l'étude et la réalisation pratique d'un relais de protection numérique par des cartes électroniques d'Arduino et FPGA.

Par définition : Une protection à temps indépendant (code ANSI 50) est une protection pour laquelle le seuil ne dépend pas du temps. Si elle est instantanée et  $I_{\text{mesuré}}$  dépasse  $I_r$  (courant régler) alors la protection déclenche.

Et ce que nous soyons arrivé à le réaliser et vérifier dans ce projet abouti l'objectif visé par les dispositifs de protection en général.

En premier lieu une généralité et des petites définitions sur les relais de protection été nécessaire pour mieux comprendre l'indispensabilités de ces dispositifs dans les installations et les ouvrages électriques. Passant par une découverte des relais numérique et leur avantage par rapport aux anciens model statiques et vue le développement des cartes PLD qui offrent des aspirations importantes dans le domaine de la technologie et l'électronique nous avons visé les points essentiels dans le troisième chapitre. Bénéficiant à la fin par une réalisation pratique en mettons en place un prototype d'une simple protection a maximum de courant qui peut mesurer et éliminer un défaut de surcharge ou de court-circuit en temps réel.

Notre réalisation est composée de deux parties. Une partie composée d'une carte d'acquisition de type Arduino UNO R3 basée sur un microcontrôleur Atmega328 pour la mise en forme du signal analogique intercepter par un capteur de courant, calculer le courant efficace et le comparer avec un seuil réglé. Cette carte nous a permet d'afficher les résultats sur afficheur LCD. Afin de vérifier le bon fonctionnement de notre réalisation, ainsi que de commander des relais qui vont permettre à leurs tours au discontacteur de s'ouvrir ou de se fermer.

La deuxième partie contienne la logique de commande, la signalisation des défauts et le verrouillage de manœuvrer sur le discontacteur pour éviter les accédant et les mauvaises manipulations des disjoncteurs à base d'une carte FPGA d'Altera model Cyclone IV. Nous avons découvert que cette carte est vraiment toute un monde de l'électronique numérique on peut implémenter tous ce qu'on désire : les portes logique, les bascules, les multiplexeurs, encodeurs, décodeurs, registres, mémoires, les additionneurs les multiplieurs même les blocs des déférents montages complexes comme les DSP les filtres numériques et encore plus.

Nous avons effectué des tests à la fin de notre réalisation et les résultats sont satisfaisants.

Ce projet nous a permis donc véritablement de mieux expérimenter et comprendre les notions fondamentales de l'électronique jusque-là restées théoriques telles que les convertisseurs analogiques numérique, le traitement de signal, le monde d'électronique numérique, la description et programmation matériel des cartes électroniques tel qu'Arduino et FPGA, l'affichage et les problèmes liés aux mesures électriques.

### Références :

- [01] Graphème Schneider Electric « Protection des réseaux électriques Guide de la protection » 01/2008
- [02] REDAOUIA Oussama 2018, Protection d'un post THT HT
- [03] Jean-Pierre NEREAU Sélectivité avec les disjoncteurs de puissance basse tension CT 201 (e) édition mars 2001
- [04] BENDENIDINA ATTIA – « Modélisation et simulation d'un relais numérique à plusieurs fonctions sous MATLAB-SIMULINK pour la protection des lignes de transport contre les défauts de court-circuit » USTO MB.
- [05] Mr. Elakermi Hadj Ahmed « localisation des défauts dans les lignes de transport en utilisant les valeurs instantanées des signaux » mémoire magister Université des Mohamed Boudiaf année 2008.
- [06] Jean-Pierre NEREAU Cahier technique n° 201 « Sélectivité avec les disjoncteurs de puissance basse tension »
- [07] Hélène HORSIN MOLINARO – Eric VOURC'H « Capteurs pour la mesure de courant », 22/01/2016 université PARIS-SACLAY CACHAN
- [08] Hilary MWINYI & Said Rashid KHAMIS « Etude et réalisation d'une acquisition tension-courant et calcul de la puissance par la méthode d-q pour un compteur intelligent ». Mémoire de fin d'étude master ELT de L'Université Abou Bekr Belkaid de Tlemcen Faculté de Technologie. Juillet 2017
- [09] Serge THEOLEYRE – Cahier technique Schneider Electric n° 193 « Les techniques de coupure en MT » - édition septembre 1998
- [10] Abdelouadoud Saadi « Commande d'un onduleur triphasé via un circuit FPGA » mémoire PFE ELT UNIVERSITE CONSTANTINE I - 2013
- [11] Dr Alioua Chehla épouse Benhadji : « *Du langage VHDL aux circuits programmables* » (UNIVERSITÉ MOHAMED SEDIK BENYAHIA JIJEL).
- [12] Dr Peter R. « Wilson Design Recipes for FPGAs Library of Congress Number: 2007923611 »
- [13] ayssar.serhan « Introduction Sur Les Cartes FPGAs ». Université Grenoble Alpes
- [14] TAVERNIER, C. (1996). « *Circuits logiques programmables* ». PARIS : DUNOD
- [15] Jean-Luc Danger. SE204, « Les FPGAs. Télécom ParisTech »
- [16] San Jose, CA 95134101 « Innovation Drive ALTERA Cyclone IV Device Handbook, volume1 »
- [17] TAYARI LASSAAD. MAITRE TECHNOLOGUE A ISET GABES. « SUPPORT DE COURS FPGA » 2014-2015
- [18] Mr. NACHEF Toufik *mémoire de magister* « Implémentation d'une instrumentation sur un FPGA » Université Mouloud Mammeri De Tizi-Ouzou 2011
- [19] Steve Kilts « Advanced FPGA Design Architecture, Implementation, and Optimization» the Institute of Electrical and Electronics Engineers, Inc., New York.Wiley 2007.
- [20] BOUGUETTAYA Abdelmalek. « Génération d'un réseau sur puce au format VHDL RTL à partir d'une modélisation de haut niveau UML par raffinement » THÈSE 2017 UNIVERSITE BADJI MOKHTAR – ANNABA
- [21] Hana Mahmoudi, Asma Sassi. « Robot suiveur d'une ligne avec détection des obstacles » Editions universitaires européennes (2019-08-26)
- [22] Site EDF, WIKIPEDIA
- [23] F5RUL – F6FTC page n° 1
- [24] Centre de conférences SONELGAZ, 16 Avril 2012 Thème : De la Bougie à l'Electricité Durable : les Défis de 2030 Sujet : Le Souffle d'Eole pour produire de l'électricité Auteurs : Dalila BOUNOUA, Lamia BOUMAHDI, Pr. Chems Eddine CHITOUR Laboratoire de Valorisation des Energies Fossiles, Ecole Nationale Polytechnique, BP 182 Alger
- [25] Delémont MAGAZINE D'INFORMATION DE LA VILLE DE DELÉMONT .ch NO 277 NOVEMBRE 2018
- [26] internet
- [27] notre travail personnel

## LISTE DES ABRÉVIATIONS

---

**DIN** : Déclencheur instantané d'autoprotection Par assimilation, seuil correspondant.

**DINF** : Déclencheur instantané d'autoprotection à la fermeture. Par assimilation, seuil correspondant.

**I<sub>c</sub>** : Courant de court-circuit, donné en valeur crête, traversant réellement le disjoncteur, compte tenu de la limitation.

**I<sub>cw</sub>** : Courant de courte durée admissible. C'est le courant de court-circuit maximal (en valeur efficace), que peut supporter le disjoncteur pendant une durée définie (0,5 ou 1 ou 3 s) sans altération de ses caractéristiques.

**I<sub>n</sub>** : Courant nominal de l'appareil.

**I<sub>p</sub>** : Courant de court-circuit présumé qui se développerait en l'absence de dispositifs de protection (valeur efficace).

**I<sub>r</sub>** : Courant (en valeur efficace) correspondant au réglage de la protection contre les surcharges. Peut varier généralement de 0,4 à 1 fois I<sub>n</sub>.

**t<sub>c</sub>** : Temps réel de coupure (extinction de l'arc).

**IDMTL** : (Inverse Definite Minimum Time Lag) Se dit de courbes de déclenchement long retard dont la pente peut prendre différentes valeurs.

**PdC** : C'est le nom usuel du pouvoir de coupure ultime (I<sub>cu</sub>). I<sub>cu</sub> est la plus grande intensité de courant de court-circuit que peut interrompre le disjoncteur. Il est défini pour une tension assignée d'emploi donnée U<sub>e</sub>.

**Sellim** : Principe de sélectivité permettant de concilier la sélectivité et la limitation.

**Tenue électrodynamique (TED)** : Capacité d'un appareil à supporter, par construction, les effets électrodynamiques d'un courant de court-circuit, notamment sans répulsion de ses contacts principaux ou d'embrochage.

**FLP** : facteur limite de précision.

**FS** : facteur de sécurité.

**If** : courant maximal traversant une zone protégée.

**Is** : seuil de réglage en courant.

**kn** : facteur limite de précision (FLP) nominal d'un TC (associé à sa charge de précision).

**kr** : FLP réel d'un TC, associé à sa charge réelle.

**SLICE** : cellule élémentaire du fpga ; composé de 2 LUTs et 2 bascules.

**BANK** : zone d'interconnexion périphérique du fpga.

**CLB** : Configurable logic block : bloque logique configurable : comprend 4 slices similaires.

**IOB** : Input Output Block : broches d'entrées sorties.

**EDA** : Electronic design automation),

**PLL** : Phase Locked Loop Une **boucle à phase asservie**, ou **boucle à verrouillage de phase** ou **BVP**<sup>1</sup> (en anglais, *phase-locked loop*, ou **PLL**)

**OTP** : One Time Programmable.

**PIA** : Programmable Interconnection Array.

**SoPC** : acronyme de « *System on Programmable Chip* » (système sur puce reprogrammable en français).

**NIOS** est un processeur softcore propriétaire d'Altera . Il est basé sur un cœur RISC 32 bits. Il est doté du bus Avalon.

## LISTE DES ABRÉVIATIONS

---

**JTAG** : **Joint Test Action Group** est le nom de la norme IEEE 1149.1 intitulée « *Standard Test Access Port and Boundary-Scan Architecture* ».

**QFP** : **Quad Flat Package** est un type de boîtier de circuit intégré destiné à être directement soudé sur circuit imprimé.

**PLD** : Programmable Logic Device - Dispositif logique programmable

**CPLD** : Complex Programmable Logic Device - Réseau logique programmable complexe

**EEPROM** : Electrically Erasable PROM - Mémoire à lecture seule, électriquement effaçable

**EPLD** : Erasable Programmable Logic Device - Réseau logique programmable effaçable

**EPROM** : Erasable Programmable Read Only Memory - Mémoire à lecture seule effaçable

**FPGA** : Field Programmable Gate Array - Réseau de portes programmables

**FPRM** : Field Programmable Read Only Memory

**GAL** : Generic Array Logic - PAL générique

**ISP** : In-System (In Situ) Programmable - Composant programmable sur carte

**LCA** : Logic Cell Array (Xilinx) - Réseau de cellules logiques

**LUT** : Look-Up Table

**PAL** : **Programmable** Array Logic - Réseau logique programmable

**PROM** : **Programmable** Read Only Memory - Mémoire à lecture seule programmable

**RAM** : **Random** Access Memory - Mémoire à accès aléatoire

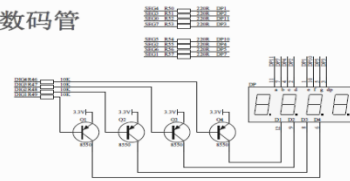
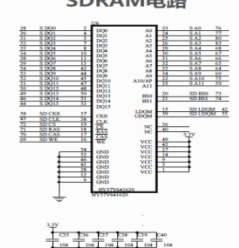
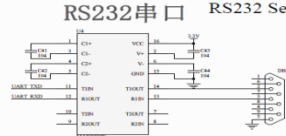
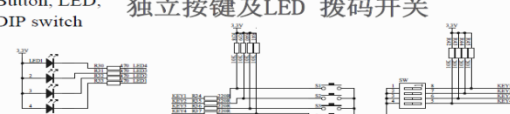
**ROM** : **Read** Only Memory - Mémoire à lecture seule

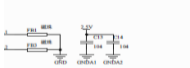
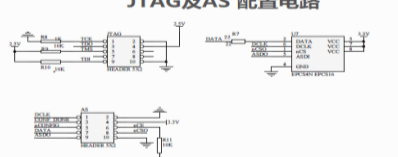
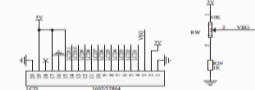
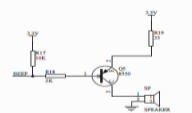

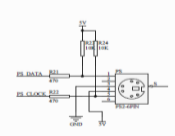
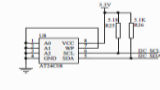
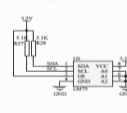
**SRAM** : **Static** Random Access Memory - Mémoire statique à accès aléatoire

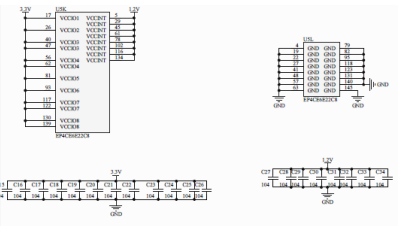
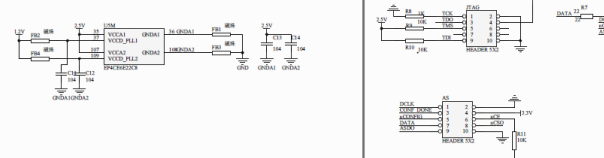
**TTL** : Transistor Transistor Logic - Logique transistor-transistor

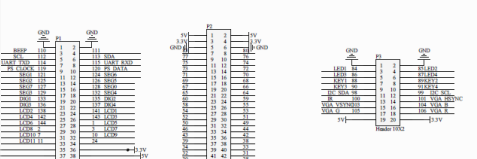
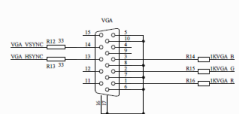
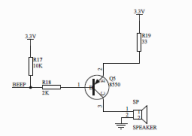
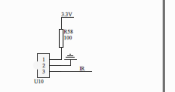
**VHDL** : VHSIC Hardware Description Language - Langage de description matérielle VHSIC

**DSP** : *Digital Signal Processor*.

<p>我们的FPGA开发网 www.OurFPGA.com 助学FPGA开发板原理图</p>	<p>Digital Tube 共阳数码管</p> 
<p>SDRAM电路</p> 	<p>RS232串口 RS232 Serial port</p>  <p>Button, LED, DIP switch 独立按键及LED 拨码开关</p> 

	<p>JTAG and AS JTAG及AS 配置电路</p> 	<p>1602 12864 LCD 1602 12864液晶</p> 		
<p>Buzzer 蜂鸣器</p> 	<p>Infrared receiver 红外接收</p> 	<p>PS2</p> 	<p>AT24C08</p> 	<p>Temperature Sensor 温度传感</p> 

	<p>JTAG and AS JTAG及AS 配置</p> 
---	--

<p>IO interface 所有IO引出扩展</p> 	<p>VGA</p> 	<p>Buzzer 蜂鸣器</p> 	<p>Infrared receiver 红外接收</p> 
--	--	--	---





## Formulaire de déclaration sur l'honneur Relatif à l'engagement pour respecter les règles d'authenticité scientifique dans l'élaboration d'un travail de recherche

(Annexe de l'arrêté n°933 du 28 juillet 2016 fixant les règles relatives à la prévention et la lutte contre le plagiat)

Je soussigne, l'étudiant (e),

SAHRAOUI Naki

Détenteur d'une carte d'étudiant N° 1906-T-17 délivrée le 18/04/2018

Inscrit à l'institut de Technologie au niveau du département Scienc. Electronique

Et chargé de préparer un mémoire de fin d'étude en Master 2.

Intitulé : Etude Et Réalisation d'un Relais de

Protection Numérique à base des cartes électroniques

FPGA et Arduino

Déclare sur l'honneur, m'engager à respecter les règles scientifiques, méthodologiques, et les normes de déontologie professionnelle et de l'authenticité académique requise dans l'élaboration du projet de recherche suscit.

Ain Temouchent, le 21/06/2020

Signature de l'étudiant : [Signature]





## Formulaire de déclaration sur l'honneur Relatif à l'engagement pour respecter les règles d'authenticité scientifique dans l'élaboration d'un travail de recherche

(Annexe de l'arrêté n°933 du 28 juillet 2016 fixant les règles relatives à la prévention et la lutte contre le plagiat)

Je soussigne, l'étudiant (e),

..... ROUBA Toufik .....

Détenteur d'une carte d'étudiant N° ... 10114 ..... délivrée le ... 14/09/2015 .....

Inscrit à l'institut de Technologie au niveau du département *Céramique... Electronique*

Et chargé de préparer un mémoire de fin d'étude en Master 2.

Intitulé : ..... *Etude Et Réalisation d'un relais Numérique*  
..... *A base des cartes Electroniques FPGA et Arduino* .....

Déclare sur l'honneur, m'engager à respecter les règles scientifiques, méthodologiques, et les normes de déontologie professionnelle et de l'authenticité académique requise dans l'élaboration du projet de recherche suscit.

À *Ain Temouchent*, le *21/06/2020*

Signature de l'étudiant :